

INTERNATIONAL
TECHNOLOGY ROADMAP
FOR
SEMICONDUCTORS

2007 年版

新探究デバイス

THE ITRS IS DEvised AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2007 Edition(国際半導体技術ロードマップ 2007年版)の全訳である。

国際半導体技術ロードマップ(以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会 (STRJ) が電子情報技術産業協会 (JEITA) 内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 14 のワーキンググループ (WG: Working Group)、2 つのタスクフォース(設計タスクフォースと故障解析タスクフォース)、経済性検討小委員会が組織され、半導体集積回路メーカー、半導体製造装置メーカー、材料メーカー、大学、独立行政法人、コンソーシアなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2007年版は英文で約 1000 ページの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要に限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。

訳文の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くは専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただければありがたい。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞 (Acknowledgments) に、ITRS の編集にかかわった方々の氏名が書かれているが、ここも訳出せず、原文のままの表記とした。原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように () 内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ (ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」「国際半導体技術ロードマップ (International Technology Roadmap for Semiconductors)」のように和訳の後に () 内に原語やそれに対応する略語を表示した。本書の巻末に用語集 (Glossary) も参照されたい。原文の括弧 () があってそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また [] 内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いである。

今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となってしまいました。編集作業を担当いただいた、JEITA 内 STRJ 事務局の古川昇さん、恩田豊さん、近藤美智さん、明石理香さんに大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2008年5月
訳者一同を代表して
電子情報技術産業協会 (JEITA) 半導体部会 半導体技術ロードマップ専門委員会 (STRJ) 委員長
石内 秀美 (株式会社 東芝)

版權について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2007 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • 2706 Montopolis Drive • Austin, Texas 78741 • 512.356.7687 • <http://public.itrs.net>
Japanese translation by the JEITA, Japan Electronics and Information Technology Industries Association under the
license of the Semiconductor Industry Association

—引用する場合の注意—

原文(英語版)から引用する場合： 2007 ITRS page XX, Figure(Table) YY

この和訳から引用する場合： 2007 ITRS JEITA 和訳 XX 頁,図(表)YY

と明記してください。

問合せ先：

社団法人 電子情報技術産業協会
半導体技術ロードマップ専門委員会 事務局
Tel: 03-5275-7258 <mailto:roadmap@jeita.or.jp>

TABLE OF CONTENTS

スコープ	1
困難な技術課題 (Difficult Challenges)	2
序章	2
デバイス技術	2
材料技術	4
ナノ情報処理の分類 (Nano-information Processing Taxonomy)	4
新探究デバイス	5
メモリデバイス.....	5
メモリの分類	6
メモリデバイス — 掲載したメモリの定義と議論	13
ロジック及び代替え情報処理デバイス	17
ロジックデバイス.....	18
ロジックデバイス—表に加えるための定義と議論	20
代替え情報処理デバイス	24
代替え情報処理デバイス—表の欄の定義と議論	25
新探究アーキテクチャ	30
はじめに	30
CMOS「メニーコア」アーキテクチャのトレンド.....	30
「ヘテロマルチコア」アーキテクチャ	31
新探究デバイスが利用される可能性のあるアーキテクチャ	34
新探究メモリ・論理デバイス—重要な評価	36
序論	36
CMOSを越える技術	36
技術要求と妥当性基準	36
電荷ベースのナノスケールデバイス	38
新規コンピュータ状態変数ナノスケールデバイス	38
メモリとロジックデバイスの潜在的性能の評価	38
計測技術	38
結果.....	40
基本的な指導原理—「CMOSを超える技術」による情報処理	51
はじめに	51
指導原理	51
電荷以外の計算状態変数.....	51
非熱平衡状態システム.....	51
新しいエネルギー伝達相互作用.....	51
ナノスケールの熱伝導制御	51
サブリソグラフィック作製プロセス.....	51
エマージングアーキテクチャ.....	51
Endnotes	52

LIST OF FIGURES

Figure ERD1	A Taxonomy for Emerging Research Information Processing Devices	5
Figure ERD2a	Technology Performance Evaluation for Engineered Tunnel Barrier Memory	44
Figure ERD2b	Technology Performance Evaluation for Fuse/Antifuse Memory	44
Figure ERD2c	Technology Performance Evaluation for Nano Mechanical Memory	45
Figure ERD2d	Technology Performance Evaluation for Electronic Effects Memory	45
Figure ERD2e	Technology Performance Evaluation for Ionic Memory	46
Figure ERD2f	Technology Performance Evaluation for Ferroelectric FET Memory	46
Figure ERD2g	Technology Performance Evaluation for Macromolecular Memory	47
Figure ERD2h	Technology Performance Evaluation for Molecular Memory	47
Figure ERD3a	Technology Performance Evaluation for 1D Structures (CNTs and NWs) Logic Devices	48
Figure ERD3b	Technology Performance Evaluation for Channel Replacement Materials Logic Devices	48
Figure ERD3c	Technology Performance Evaluation for Single-Electron Transistors Logic Devices	49
Figure ERD3d	Technology Performance Evaluation for Molecular Logic Devices	49
Figure ERD3f	Technology Performance Evaluation for Ferromagnetic Logic Devices	50
Figure ERD3e	Technology Performance Evaluation for Spin Transistors Logic Devices	50

LIST OF TABLES

Table ERD1	Emerging Research Devices Difficult Challenges	3
Table ERD2	Memory Taxonomy	7
Table ERD3	Current Baseline and Prototypical Memory Technologies	8
Table ERD4	Transition Table for Emerging Research Memory Devices	9
Table ERD5a	Emerging Research Capacitance-based Memory Devices— Demonstrated and Projected Parameters	10
Table ERD5b	Emerging Research Resistance-based Memory Devices— Demonstrated and Projected Parameters	12
Table ERD6	Transition Table for Emerging Research Logic Devices	18
Table ERD7a	Emerging Research Logic Devices— Demonstrated and Projected Parameters	19
Table ERD7b	Alternative Information Processing Devices	25
Table ERD8	Emerging Research Architectures	35
Table ERD9	Potential Evaluation for Emerging Research Memory Devices	42
Table ERD10	Potential Evaluation for Emerging Research Logic Devices	43

新探究素子(ERD, EMERGING RESEARCH DEVICES)

スコープ

留まるところを知らない CMOS 微細化に牽引され、情報技術はさまざまな市場において新しい分野に広がり新しい応用技術を可能としてきた。CMOS デバイス寸法の微細化は、少なくともこのロードマップがカバーする期間中は続くであろうし、また CMOS の性能向上あるいはそれと”同等”な向上は、その期間を超えても続くであろう。極限まで微細化された MOS トランジスタはほぼ理想的な電荷ベースのデバイスである。その性質を最大限に利用して、CMOS は微細化が終焉を迎えた後も間違いなく情報処理技術のプラットフォームであり続けるであろう。CMOS プロセッサコアとヘテロに集積化され非ブール関数による特別な機能を有する新しい情報処理技術¹は、現在の応用技術により効率的なソリューションを与え CMOS プラットフォームの機能スケーリングをさらに広げるであろう。

上記のような可能性があるため、2007 年版の新探究素子(ERD)の章はスコープと内容を拡張することになった。この章では、メモリ、情報処理・ロジックデバイス、およびナノアーキテクチャのための新しい研究途上の技術について評価を行う。集積電子機能を実現するための 2 つの異なるアプローチを対象とする。一つは、これらの新しい技術をヘテロに CMOS プラットフォームに集積することであり、“CMOS の延長”あるいは“機能の多様化”と呼ぶべきアプローチである。二つ目は、根本的に新しい情報処理あるいは信号処理を発明するという刺激的ではあるが辟易とするほどの困難へアプローチすることである。このテーマで要求されることは、新しい材料、プロセス、デバイス、ナノアーキテクチャを通じた新しい情報表現、プロセス、記憶、情報伝達を発明し利用することである。さらに、2005 年版の ERD の章で導入された新探究材料(Emerging Research Materials)の節が拡張されて、一つの章となった。新デバイスに関連する材料研究の課題は、この ERD の章でも纏められているが、新しい新探究材料の章でさらに詳しく取り扱われている。

この章の主な目標は、「極限微細化 CMOS」を本質的に超えて情報処理の機能を拡張する新概念の発明および研究を促進することである。この目標を達成するには、上で示した 2 つの技術領域を扱わなければならない — 新技術のヘテロ集積による CMOS プラットフォームの延長と、その後の新しい情報処理パラダイムを発明するような新技術とナノアーキテクチャ概念の開発による CMOS プラットフォームの延長である。

意図は 2 つに分けられる。1 つ目は、もし成功すれば CMOS を超えてロードマップを延長するようなメモリ、情報処理デバイス、情報処理ナノアーキテクチャの代替概念を一箇所に集めることである。このようにして、ここでの議論は新技術候補に対する入口を提供する。2 つ目は、これらの新デバイス技術に対して比較および評価を与えることである。

さらに一つの節においては、極限微細化 CMOS で達成可能な情報処理を本質的に超えるような情報処理を支配する根本的な原理を提案している。これにより、この章は半導体産業に新探究デバイス技術に関する見通しを提供するとともに、バルク CMOS と CMOS スケーリングを超えるマイクロエレクトロニクス領域とを結ぶ架け橋となる。

この章の議論は次の 3 つのカテゴリーに分けられる。1) メモリデバイス、2) 情報処理またはロジックデバイス、3) 情報処理ナノアーキテクチャ、である。議論される内容は、その技術の動作原理、利点、課題、成熟度、現在および将来の性能等に関する詳細である。また、CMOS プラットフォーム技術と集積されるヘテロコアプロセッサとして特別な機能を提供する新デバイスやアーキテクチャについても議論した。その目的は、CMOS

¹ Information processing refers to the input, transmission, storage, manipulation or processing, and output of data. The scope of the ERD Chapter is restricted to data or information manipulation, transmission, and storage.

2 新探究素子(ERD, Emerging Research Devices)

プロセッサとの並列アーキテクチャとして動作し現在のシステム機能をより効率的に行ったり新しいシステム機能を実現するような新デバイスの特別な機能を利用したりすることである。これは、ERD の章の短期的な焦点であり、より長期的な焦点はデジタル CMOS を置き換えるような情報処理の代替技術を発見することである。

以前の ERD の章と同様に、この章には遷移表(Transition Table)が掲載されている。遷移表の目的は 2 つある。一つは、2005 年版の表と比べて新たに加わったり除かれたりした技術をわかりやすく示し、その修正の理由を簡単に説明するためである。2 つ目の目的は、重要と考えられるがまだ ERD の表に掲載する基準に届かない技術を明らかにすることである。これらの技術は将来の版ではさらに注目されて説明が増えたり、逆に減ったりするかも知れないので、遷移表と呼ばれる。このようにこの遷移表は、2005 年版から 2007 年版への技術の変化動向を表している。また、この遷移表は 2009 年版で新たに加わるかも知れない新技術を予告し、あるいは将来の含まれるかも知れない技術を追跡するものでもある。最後に、ある新概念がこの章に含まれているとしても、必ずしもその概念を指示したり保証したりするものではない。逆に、この章に含まれなかったとしても、その概念を排除するものではない。

困難な技術課題 (DIFFICULT CHALLENGES)

序章

半導体産業は、CMOS 微細化の終焉に向けて、あるいはそれを超えて集積回路技術を発展させるに際して、2 種の困難な技術課題に直面している。1 つは、その究極の集積度と機能を超えて CMOS を延長することであり、例えば、CMOS プラットフォームに新しい高速、高集積で、低消費電力メモリを含む技術を集積することにより CMOS を延長させることである。もう 1 種の課題は、CMOS のみで達成可能な情報処理を本質的に超えて情報処理技術を発展させることであり、これは CMOS を延長する新デバイスやアーキテクチャのアプローチと新しく発明される情報処理プラットフォーム技術とを革新的に組み合わせることにより達成される。困難な技術課題を Table ERD1 に示す。

デバイス技術

新探究デバイスに関する困難な技術課題は、メモリ技術に関する課題と、情報処理デバイスすなわちロジックデバイスに関する課題に分けられる。課題の一つは、現在のメモリの最良の特徴を併せ持ち、CMOS プロセスと互換性のある作製技術で作られ、現在の SRAM や FLASH の限界を超えて微細化されるような新メモリ技術が必要なことである。このような技術は、スタンドアロンと混載メモリの双方に必要なメモリデバイス作製プロセスを提供することになるであろう。マイクロプロセッサユニット(MPU)がプログラムを実行する性能は、プロセッサとメモリの相互作用によって制限されており、微細化ではこの問題は解決できない。現在の解決策は、MPU のキャッシュメモリの容量を増やすことであり、その結果、MPU チップ上の SRAM の占有面積が増えている。このトレンドにより、正味の情報処理スループットが実際には下がってしまう。半導体メモリは不揮発性でないので、データを記憶する補助回路に加えて(磁気ハードディスクや光 CD などの)アクセスの遅い外部記憶メディアが必要となっている。したがって、電氣的にアクセス可能で不揮発性のメモリ、しかも高速で高集積のメモリの開発が、コンピュータアーキテクチャに革命をもたらすことになるかも知れない。このようなメモリの開発は、ナノスケール CMOS で完全に実現されれば、従来の微細化の恩恵を超えてさらなる情報処理スループットの著しい増大をもたらすことになるであろう。

これに関連する課題は、CMOS ロジック技術を 16nm に向けて、あるいは 16nm を超えて性能向上させることである。CMOS の微細化が次の 10 年で緩やかになった場合に性能向上を続ける方法の一つは、ひずみ Si による MOSFET のチャンネルを、より高い準パリスティックキャリア速度と高い移動度を有する別の材料に置き換えることである。候補となる材料としては、ひずみ Ge、SiGe、多くの III-V 族化合物半導体、グラフィ

ンなどが挙げられる。シリコン以外の材料をシリコン基板上の MOSFET のチャネルに導入することは、非常に困難な課題を伴う。これらの課題として挙げられるのは、格子定数が異なるシリコン上に高品質の(すなわち無欠陥の)チャネル材料を形成すること、バンドギャップが狭い材料の場合はバンド間トンネル電流を最小に抑えること、III-V 族半導体や Ge の表面におけるフェルミレベルピンギをなくすこと、チャネル材料上に high-k 絶縁膜材料を形成することなどである。これらの微細 CMOS ゲートにおけるリーク電流や消費電力を抑制し続けることも課題である。また、これらの新材料を導入しつつ同時にデバイス寸法のばらつきやソースドレインの不純物による統計的なばらつきを抑制することも大きな課題である。

長期的な課題は、”beyond CMOS”に向けて製造可能な新しい情報処理技術を発明し、それらの応用技術特定することである。例えば、新探究デバイスは、CMOS のマルチ CPU と集積して特別な用途をもつプロセッサコアを実現するために用いられるかも知れない。これらの特別用途のコアはデジタル CMOS ブロックよりはるかに効率的な特別のシステム機能を有するかも知れず、またそれらは CMOS ベースでは達成できない独特の新機能をもたらすかも知れない。このような CMOS 微細化の終焉を超えるための解決策は、新情報処理の基本的要素として CMOS を置き換える新探究デバイス技術を生み出す可能性がある。

Table ERD1 Emerging Research Devices Difficult Challenges

<i>Difficult Challenges ≥ 22 nm</i>	<i>Summary of Issues and opportunities</i>
Scale high-speed, dense, embeddable, volatile and non-volatile memory technologies to and beyond 22 nm	SRAM and FLASH scaling will reach definite limits within the next several years (see PIDS chapter for Difficult Challenges). These are driving the need for new memory technologies to replace SRAM and FLASH memories. Identify the most promising technical approach(es) to obtain electrically accessible, high-speed, high-density, low-power, (preferably) embeddable volatile and non-volatile RAM
<i>Difficult Challenges <22 nm</i>	
Scale CMOS to and beyond the 16 nm technology generation.	Develop new materials to replace silicon as an alternate channel to increase the saturation velocity and maximum drain current in MOSFETs while minimizing leakage currents and power dissipation for technology scaled to 16 nm and beyond. Candidate materials include Ge, SiGe, III-V compound semiconductors, and graphene. Develop 1D (nanowire or nanotube) structures to scale MOSFETs and CMOS gates beyond the 16 nm technology generation. Develop means to control the variability of critical dimensions and statistical distributions (e.g., gate length, channel thickness, S/D doping concentrations, etc.)
Extend ultimately scaled CMOS as a platform technology into new domains of application.	Discover and reduce to practice new device technologies and a primitive-level architecture to provide special purpose optimized functional cores heterogeneously integrable with silicon CMOS.
Continue functional scaling of information processing technology substantially beyond that attainable by ultimately scaled CMOS.	Invent and develop a new information processing technology eventually to replace CMOS Ensure that a new information processing technology is compatible with the new memory technology discussed above; i.e., the logic technology must also provide the access function in a new memory technology. Bridge a knowledge gap that exists between materials behaviors and device functions.

材料技術

新探究材料の最も困難課題は、ナノメートルスケールで高密度の新探究デバイスが正常に動作するよう制御された新材料を提供することである。高密度デバイスの材料特性の制御を向上させるため、材料形成の研究は新しい計測とモデルを用いて行われなければならない。これらの重要な目的は新しい新探究材料の章で扱う。

ナノ情報処理の分類 (NANO-INFORMATION PROCESSING TAXONOMY)

一般に、情報処理によってあるシステム機能を達成するには、いくつかの異なる相互に関連する技術レイヤーを必要とする。これらのレイヤーをトップダウンで表示すると、まず最初にくるのは必要なアプリケーションまたはシステム機能であり、続いてシステムアーキテクチャ、マイクロまたはナノアーキテクチャ、回路、デバイス、材料の順となる。図 ERD1 に示すとおり、この階層構造を逆にボトムアップ的に異なる表し方をすると、最初にくるのは計算を行うための状態変数によって表される最下層の物理レイヤーであり、最後はナノアーキテクチャで表される最上層となる。より模式的に表わされたこの図では、汎用的なデバイス・回路レベルの情報処理に焦点を当てており、情報の最も基本的な単位(例えばビットなど)は計算の状態変数によって表される。例えば、古代のアバカス(そろばんに似た計算器)では、玉の位置がこれに相当し、CMOS ロジックではノード容量における電圧がこれに相当する。デバイスは、この状態変数が2つあるいはそれ以上の離散的な状態の間を行き来するのを操作する物理的な方法を提供する。デバイスは、ある所望の特性を有する数多くの材料が集まって構成される物理的な構造であり、それは一連の作製プロセスを行うことによって作製される。データ表現とは、その状態変数をデバイスの集合体によっていかに表現しデータ処理を行うかの方法である。データ表現の最も良い例は、2値のデジタル表現と連続的なアナログ信号処理である。アーキテクチャのレイヤーやこの分類法では3つのサブ領域に分けられる: 1) 計算の実行を可能とする高次レベルの根本機能を構成するナノアーキテクチャあるいは物理的配列あるいはデバイスの集合体、2) 情報が根本機能を用いて処理されるアルゴリズムを記述する計算モデル(例えばロジック、計算、メモリ、セルラ非線形ネットワーク(CNN)など)、および 3) 計算モデルを実行するシステムの構造や機能を記述するシステムレベルのアーキテクチャ。

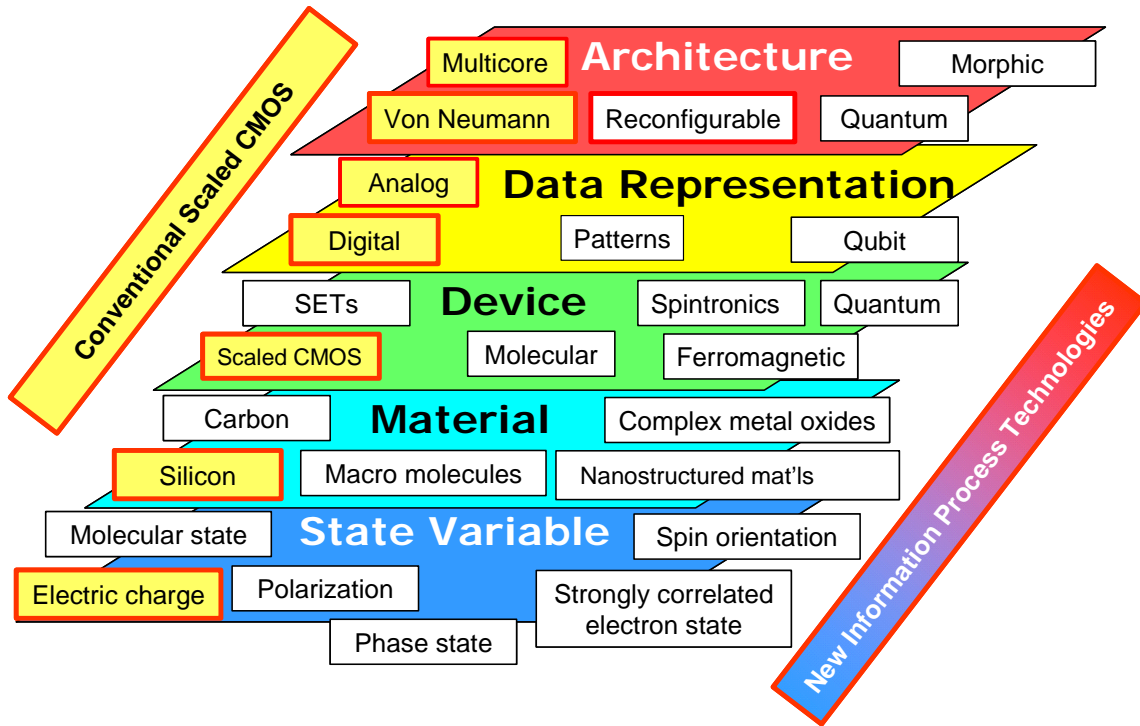


Figure ERD1 A Taxonomy for Emerging Research Information Processing Devices

赤枠で囲まれた黄色の部分に書かれている要素は現在の CMOS プラットフォーム技術を表している。計算の状態変数は電荷でフォンノイマンアーキテクチャを用いており、デジタルのデータ表現を用いた計算システムが可能となっている。アナログのデータ表現も現在の CMOS プラットフォーム技術に含まれている。これらの 5 のカテゴリーに書かれている他の候補は、互いに組み合わせられたり革新的に使われたりすることにより、新しく非常にスケーラブルな情報処理のパラダイムを提供する可能性がある。

新探究デバイス

メモリデバイス

この章で取り上げられたメモリ技術は、概ね 2005-2007 年の間に発表された研究成果の中から、現行技術の限界を打破しうる有力な代替案として選定された代表例である。歴史的には、新規メモリ提案の中から実用化に結びついた例は極めて希である。現在行われている研究は、種々の基本的なメモリ動作原理の探索である。これらの動作原理には、誘電体中に孤立保持された電子電荷、強誘電体ゲート絶縁膜の残留分極、そして、多種多様な現象による抵抗変化が含まれている。表 ERD2 には、既存及び研究中のメモリ技術を、それぞれの特徴を踏まえつつ、構成要素に応じて 4 つに分類してある。各メモリ選択肢は、CMOS 技術基盤と不都合なく一体化できることが強く求められている。そのために必要な CMOS 基盤技術の修正、あるいは混載技術が検討されている。目指す目標の一つは、馴染みのあるシリコンメモリチップと同等の使い勝手を有するデバイスをエンドユーザーに提供することである。

6 新探索素子(ERD, Emerging Research Devices)

上記の新規メモリの開発はどれも現状メモリの性能を参考に行っているため、主要な動作特性値を、既存の標準的メモリと実用化が始まった新メモリに対して表 ERD3 に示してある。これらの特性値は、各新規探索メモリ技術の現状性能と将来目標値の比較をする上での良いベンチマークとなる。

2007年版 ITRS に載せた新探索メモリは、いくつかの点で 2005 年版と異なる。この章からはずしたメモリと新たに付け加えたものを ERD メモリデバイスの変遷表(表 ERD4)にまとめる。変化点は、1) ナノ浮遊ゲート型メモリをはずしたこと、2)絶縁体の抵抗変化利用メモリを以下の 3 つに置き換えたこと、すなわち 3)ヒューズ/反ヒューズ型メモリ、4)イオン移動メモリ、5)電子効果利用メモリであり、最後は、6)ナノメカニカル型メモリを加えたことである。これらの変化の理由と動機も表 ERD4 に述べられている。また、“Emerging Research Memory Devices”の表は、容量型メモリ(表 ERD5a)と抵抗型メモリ(表 ERD5b)の 2 つに分けられ、それぞれ、現状の特性値と将来目標値が示されている。

この章は、表 ERD5a 及び 5b の見出し行に記載されている 8 種類のメモリ技術についてまとめてある。選択にあたっては関連文献の体系的な調査を行い、対象となる研究活動をできるだけ広く網羅するようにした。取り上げられた各メモリ技術は、理解し易くするため、さらにいくつかのグループに分類されている。それらの技術の指標となるパラメータが表中に挙げられている。各パラメータに対し、次の 3 つの観点から性能値が与えられている。すなわち、1) 実用化に必要な最低レベル、2) 計算と初期の実験結果に基づく理論予想性能値、3) 引用文献に報告された最新の実験データである。

表 ERD5a 及び ERD5b の最下段の行には、最近 2 年間に発表された各メモリ技術に関する論文数を載せてある。この数字は、各メモリに対する最近の研究の活発さを表しており、本表に載せるにあたっての選考の指標の一つとなった。これらの表は多くの文献に基づいており、詳細は併記した各参考文献を参照されたい。各表に付記した記述は、各メモリの動作原理に対する簡単な説明と表中には記載しなかった重要事項をまとめたものである。

メモリの分類

表 ERD2 には、メモリ技術を分類する一つの簡単な方法が示されている。ここでは、メモリセルを構成する機能要素で分類してある。たとえば、選択トランジスタと容量型記憶ノードから成るお馴染みの DRAM セルは、1T1C 技術として分類される。他の技術、たとえばデータが磁性材料のスピン状態として保存される MRAM は、1T1R 技術と表される。ここで抵抗“R”は、メモリセルの読み出しがセルを流れる電流値の検出によって行われることを表している。この分類法によれば、等価な機能要素数をできるだけ減らしてメモリセルを簡素化(すなわちセル面積を縮小)している傾向が読み取れ、実用的である。メモリ技術開発の初期段階では、メモリセルは一般に複数のトランジスタと複数の記憶ノード(コンデンサや抵抗)から構成される傾向にあるが、開発が進むにつれ構成要素は簡素化され、1T1x の形に落ち着く。望ましくは、データ記憶素子をトランジスタの中に作り込んだ 1T セルとなることが期待される。超高集積のナノエレのメモリアレイにおいては、トランジスタ“T”の代わりに、2 端子の非線形ダイオード型素子が抵抗型メモリ素子を伴って使われるかもしれない。そのような素子は、1D1R 技術と表されよう。

新興のメモリ技術を差異化する重要な特性の一つは、電源 OFF 時にデータを保持できるかどうかということである。不揮発性メモリは、その点で実用上、本質的な優位性を持つ。不揮発度合いは、データ保持時間で評価される。各種揮発性メモリもそれぞれ特有の保持時間を有しており、ミリ秒から(実際には)電源が供給されている間まで様々である。

Table ERD2 Memory Taxonomy

Cell Element	Type	Non-volatility	Retention Time
1T1R or 1D1R [A]	MRAM	Nonvolatile	> 10 years
	Phase change memory	Nonvolatile	> 10 years
	Polymer memory	Nonvolatile	> years
	Molecular memory	Nonvolatile	> years
	Nanomechanical memory	Nonvolatile	> years
	Fuse/antifuse memory	Nonvolatile	> years
	Ionic memory	Nonvolatile	> years
	Electronic effects memory	Nonvolatile	> years
1T1C [A]	DRAM	Volatile	~ seconds
	FeRAM [B]	Nonvolatile	> 10 years
1T [A]	FB DRAM [A]	Volatile	< seconds
	Flash memory	Nonvolatile	> 10 years
	SONOS	Nonvolatile	> 10 years
	Nano floating gate memory	Nonvolatile	> 10 years
	Engineered tunnel barrier memory	Nonvolatile	> 10 years
	FeFET memory [A]	Nonvolatile	> years
Multiple T [A]	SRAM	Volatile	large
	STTM [C]	Volatile	small

Notes for Table ERD2:

[A] 1T1R—1 transistor–1 resistor 1D1R—1 diode–1 resistor 1T1C—1 transistor–1 capacitor 1T—1 transistor FB DRAM—floating body DRAM FeFET—ferroelectric FET Multiple T—multiple transistor

[B] FeRAM—ferroelectric RAM with one ferroelectric transistor and one ferroelectric capacitor

[C] STTM—scaleable 2-transistor memory. J. H. Yi, W. S. Kim, S. Song, Y. Khang, H.-J. Kim, J. H. Choi, H. H. Lim, N. I. Lee, K. Fujihara, H.-K. Kang, J. T. Moon, and M. Y. Lee. "Scalable Two-transistor Memory (STTM)." *IEDM 2001* p. 36.1.1–4.

8 新探索素子(ERD, Emerging Research Devices)

Table ERD3 Current Baseline and Prototypical Memory Technologies

	Baseline Technologies						Prototypical Technologies [A]			
	DRAM		SRAM [C]	Floating Gate [E]		Trapping Charge [G]	FeRAM	MRAM	PCM	
	Stand-alone [A]	Embedded [C]		NOR	NAND					
<i>Storage Mechanism</i>	Charge on a capacitor		Inter-locked state of logic gates	Charge on floating gate		Charge trapped in gate insulator	Remnant polarization on a ferroelectric capacitor	Magnetization of ferromagnetic layer	Reversibly changing amorphous and crystalline phases	
<i>Cell Elements</i>	1T1C		6T	1T		1T	1T1C	1(2)T1R	1T1R	
<i>Feature size F, nm</i>	2007	68	90	65	90	90	65	180	90	65
	2022	12	25	13	18	18	10	65	22	18
<i>Cell Area</i>	2007	6F ²	12F ²	140 F ²	10 F ²	5 F ²	6F ²	22F ²	20F ²	4.8F ²
	2022	6F ²	12F ²	140 F ²	10 F ²	5 F ²	5.5F ²	12F ²	16F ²	4.7F ²
<i>Read Time</i>	2007	<10 ns	1 ns	0.3 ns	10 ns	50 ns	14 ns	45 ns [I]	20 ns [M]	60 ns [P]
	2022	<10 ns	0.2 ns	70 ps	2 ns	10 ns	2.5 ns	<20 ns [J]	<0.5 ns	< 60 ns
<i>W/E Time</i>	2007	<10 ns	0.7 ns	0.3 ns	1 μs/10 ms	1/0.1ms	20μs/20ms[H]	10 ns [K]	20 ns [M]	50/120ns[P]
	2022	<10 ns	0.2 ns	70 ps	1 μs/10 ms	1 ms/0.1 ms	~10μs/10ms	1 ns[J]	<0.5 ns [N]	<50 ns
<i>Retention Time</i>	2007	64 ms	64 ms	[D]	>10 y	> 10 y	>10 y	>10 y	>10 y	>10 y
	2022	64 ms	64 ms	[D]	>10 y	> 10 y	>10 y	>10 y	>10 y	>10 y
<i>Write Cycles</i>	2007	>3E16	>3E16	>3E16	>1E5	>1E5	1E5	1E14	>3E16	1E8
	2022	>3E16	>3E16	>3E16	>1E5	>1E5	1E6	>1E16	>1E16	1E15
<i>Write Operating Voltage (V)</i>	2007	2.5	2.5	1.1	12	15	7–9	0.9-3.3	1.5 [M]	3 [P]
	2022	1.5	1.5	0.7	12	15	4-6	0.7–1	<1.5	<3
<i>Read Operating Voltage (V)</i>	2007	2	2	1.1	2	2	1.6	0.9–3.3	1.5 [M]	3
	2022	1.5	1.5	0.7	1.1	1.1	1.1	0.7–1	<1.8	<3
<i>Write Energy (J/bit)</i>	2007	5E-15 [B]	5E-15	7E-16	>1E-14 [F]	>1E-14 [F]	1E-13 [H]	3E-14 [L]	7E-11 [A]	5E-12 [Q]
	2022	2E-15 [B]	2E-15	2E-17	>1E-15 [F]	>1E-15 [F]	>1E-15	5E-15 [L]	2E-11 [A]	<1E-13 [Q]
<i>Comments</i>					Multiple-bit potential	Multiple-bit potential	Multiple-bit potential	Destructive read-out	Spin-polarized Write has a potential to lower Write current density and energy [O]	Multiple-bit potential

Notes for Table ERD3:

[A] 2007 ITRS PIDS chapter.

[B] Estimated as $E \sim 0.5 \cdot CV^2$ for $C=25fF$, $V_c=0.65$ Volts (in 2007) and $V_c=0.35$ Volts in 2022 (energy to refresh is not included).

[C] See the [Embedded Memory Requirements table in the System Drivers chapter](#).

[D] SRAM memory state is preserved so long as voltage is applied.

[E] Embedded applications (see the [Embedded Memory Requirements table in the System Drivers chapter](#)).

[F] Lower bound for Fowler Nordheim write/erase.

[G] Trapping charge memories in PIDS chapter include SONOS, and a number of engineered barrier concepts, some of which are described in Table ERD5a.

[H] J.-Y. Wu et al. "A Single-Sided PHINES SONOS Memory Featuring High-Speed And Low-Power Applications." *IEEE Electr. Dev. Lett.* 27 (2006) 127.

[I] K. R. Udayakumar et al. "Full-Bit Functional, High-Density 8 Mbit One Transistor-One Capacitor Ferroelectric Random Access Memory Embedded Within A Low-Power 130 nm Logic Process." *Jap. J. Appl. Phys.* 46 (2007) 2180-2183.

[J] "Nanoelectronics and Information Technology." Ed. Rainer Waser. Wiley-VCH, 2003, 568-569.

[K] H. Kohlstedt et al. "Current Status And Challenges Of Ferroelectric Memory Devices." *Microelectronic Eng.* 80 (2005) 296-304.

[L] Estimated as $E \sim 0.5 \cdot q \cdot A \cdot V$ for $q=10.9 \mu C/cm^2$, $A=0.33 \mu m^2$, $V_c=1.5$ Volts (in 2007) and $q=30 \mu C/cm^2$, $A=0.069 \mu m^2$, $V_c=0.7$ Volts (in 2022).

[M] N. Sakimura et al. "MRAM Cell Technology For Over 500-MHz SOC." *IEEE J. Solid-State Circ.* 42 (2007) 830-838.

[N] H. W. Schumacher. "Ballistic bit addressing in a magnetic memory cell array." *Appl. Phys. Lett.* v. 87, no. 4 (2005) 42504.
 [O] Y. Jiang, T. Nozaki, S. Abe, T. Ochiai, A. Hirohata, N. Tezuka, K. Inomata. "Substantial Reduction Of Critical Current For Magnetization Switching In An Exchange-Biased Spin Valve." *Nature Materials*, v. 3, June 2004, 361-364.
 [P] W. Y. Cho, B-H Cho, B-G. Choi, H-R Oh, S. Kang, K-S. Kim, K-H. Kim, D-E. Kim, C-K. Kwak, H-G. Byun, Y. Hwang, S. J. Ahn, G-H. Koh, G. Jeong. H. Jeong, and K. Kim. "A 0.18- μm 3.0-V 64-Mb Nonvolatile Phase-Transition Random Access Memory (PRAM)." *IEEE J. Solid-State Circuits* v. 40, no. 1 (2005) 291-300.
 [Q] Estimated as $E \sim 0.5 * FR * t_w$ for $I=235 \mu\text{A}$, $R=3.54E3 \text{ Ohm}$, $t_w=50 \text{ ns}$ (in 2007) and $I=13 \mu\text{A}$, $R=3.54E4 \text{ Ohm}$, $<50 \text{ ns}$ (in 2022).

Table ERD4 Transition Table for Emerging Research Memory Devices

	IN/OUT (Table ERD5)	Reason for IN/OUT	Comment
Nanofloating Gate Memory	OUT	Natural evolution of FG FLASH No major research issues Became a prototypical technology	ERD recommends to include NFLG memory in PIDS (Not included in 2007PIDS chapter)
Insulator Resistance Change Memory	OUT	Replaced by three new memory categories (see immediately below)	This memory category included several different memory types based on different mechanisms of operation
Fuse/Antifuse Memory	IN	Replacement for the Insulator Resistance Change memory	
Ionic Memory	IN	Replacement for the Insulator Resistance Change memory	
Electronic Effects Memory	IN	Replacement for the Insulator Resistance Change memory	
Nanomechanical Memory	IN	New device concept, promising characteristics, several recent publications	

Table ERD5a Emerging Research Capacitance-based Memory Devices—
Demonstrated and Projected Parameters

		Engineered tunnel barrier memory	Ferroelectric FET memory
<i>Storage Mechanism</i>		Charge on floating gate	Remnant polarization on a ferroelectric gate dielectric
<i>Cell Elements</i>		1T	1T
<i>Device Types</i>		FG FET with graded/multilayer gate insulator	FET with FE gate insulator
<i>Feature size F</i>	Minimum required	<65 nm	<65 nm
	Best projected	10 nm [A]	22 nm [I]
	Demonstrated	130/90 nm [B]	~2 μm [J]
<i>Cell Area</i>	Minimum required	10 F ²	8F ² /4F ² [F]
	Best projected	8F ² /4F ² [A, F]	8F ² /4F ² [F]
	Demonstrated	6F ² [B], 4F ² [C]	Data not available
<i>Read Time</i>	Minimum required	<15 ns	<15 ns
	Best projected	2.5 ns	2.5 ns
	Demonstrated	20 ns [D]	20 ns [H]
<i>W/E time</i>	Minimum required	1 μs/10 ms	Application dependent
	Best projected	1 ns @ 9V[A]	2.5 ns [B]
	Demonstrated	~1 μs @11V [B]	20 ns [K]
<i>Retention Time</i>	Minimum required	>10 y	>10 y
	Best projected	>10 y	>1 y
	Demonstrated	>10 y [B]	>30 days [L, M]
<i>Write Cycles</i>	Minimum required	>1E5	>1E5
	Best projected	>3E16	>3E16
	Demonstrated	1E5 [G]	1E12
<i>Write Operating Voltage (V)</i>	Minimum required	Application dependent	Application dependent
	Best projected	>3 V [E]	<0.9 V [I]
	Demonstrated	6.5 [B]	±6
<i>Read Operating Voltage (V)</i>	Minimum required	2.5	2.5
	Best projected	0.7	0.7
	Demonstrated	2.5 [D]	2.5 [D]
<i>Write Energy (J/Bit)</i>	Minimum required	Application dependent	Application dependent
	Best projected	>1E-15	2E-15 [N]
	Demonstrated	Data not available	Data not available
<i>Comments</i>		Potential for multi-bit/cell storage	Potential for non-destructive readout
Research activity [O]		25	48

Notes for Table ERD5a:

- [A] K. K. Likharev. "Riding the crest of a new wave in memory." *IEEE Circ. & Dev.* v. 16, no. 4 (2000) 16-21.
- [B] P. Blomme; J. De Vos; A. Akheyar; L. Haspelslagh; J. Van Houdt; K. De Meyer. "Scalable Floating Gate Flash Memory Cell With Engineered Tunnel Dielectric and High-K (Al₂O₃) Interpoly Dielectric." *Non-Volatile Semiconductor Memory Workshop, 2006. IEEE NVSMW 2006:* 52 – 53.
- [C] J. De Vos, L. Haspelslagh, M. Demand, K. Devriendt, D. Wellekens, S. Beckx, and J. Van Houdt. "A scalable Stacked Gate NOR/NAND Flash Technology compatible with high-k and metal gates for sub 45 nm generations." *Proc. ICICDT*, pp. 21-24, 2006.
- [D] Based on floating gate and SONOS data (see Table ERD3). The read voltage and read time of all 1T memory devices are expected to be similar.
- [E] Based on minimum barrier height of 1.5 eV for nonvolatile charge retention.
- [F] 4F2 is for NAND or multiple bit storage, see e.g. Y Tabuchi, S. Hasegawa, T. Tamura, H. Hoko, K. Kato, Y. Arimoto, H. Ishiwara. "Multi-bit programming for 1T-FeRAM by local polarization method." 2005 SSDM, pp. 1038-1039.
- [G] Blomme, P., Van Houdt, J., Kristin De Meyer, "Write/erase cycling endurance of memory cells with SiO₂/HfO₂/ tunnel dielectric." *IEEE Tran. Device and Materials Reliability*, V 4 (2004): 345 – 352.
- [H] H. Ishiwara. "Application of Bismuth-layered perovskite thin films to FET-type ferroelectric memories." *Integrated Ferroelectrics* 79 (2006) 3-13.
- [I] Fitsilis M, Mustafa Y, Waser R, Scaling the ferroelectric field effect transistor, *Integrated Ferroelectrics* 70: 29-44 2005.
- [J] M. Takahashi and S. Sakai. "Self-aligned-gate Metal/Ferroelectric/Insulator/Semiconductor field-effect transistors with long memory retention." *Jap. J. Appl. Phys.* 44 (2005) L800-L802.
- [K] K. Aizawa, B-E. park, Y. Kawashima, K. Takabashi, and H. Ishiwara. "Impact of HfO₂ buffer layers on data retention characteristics of ferroelectric-gate field-effect transistors." *Appl. Phys. Lett.* 85 (2004) 3199.
- [L] K. Takahashi, K. Aizawa, B.-E. Park, and H. Ishiwara. "Thirty-days-long Data Retention in Ferroelectric-gate Ferroelectric Effect Transistor with HfO₂ Buffer Layers." *Jap. J. Appl. Phys* 44 (2005) 6218-6220.
- [M] M. Takahashi and S. Sakai. "Self-aligned-gate Metal/Ferroelectric/Insulator transistors with long memory retention." *Jap. J. Appl. Phys.* 44 (2005) L800-L802.
- [N] Calculated based on the parameters of scaled ferroelectric capacitor projected in Ref. [I].
- [O] The number of referred articles in technical journals that appeared in the Science Citation Index database for 7/1/2005–7/1/2007.

Table ERD5b Emerging Research Resistance-based Memory Devices—
Demonstrated and Projected Parameters

		Nanomechanical Memory	Fuse/Antifuse Memory	Ionic Memory	Electronic Effects Memory	Macromolecular Memory	Molecular Memories
<i>Storage Mechanism</i>		Electrostatically-controlled mechanical switch	Multiple mechanisms	Ion transport and redox reaction	Multiple mechanisms	Multiple mechanisms	Not known
<i>Cell Elements</i>		1T1R or 1D1R	1T1R or 1D1R	1T1R or 1D1R	1T1R or 1D1R	1T1R or 1D1R	1T1R or 1D1R
<i>Device Types</i>		1) nanobridge/cantilever 2) telescoping CNT 3) Nanoparticle	M -I-M (e.g., Pt/NiO/Pt)	1) cation migration 2) anion migration	1) Charge trapping 2) Mott transition 3) FE barrier effects	M-I-M (nc)-I-M	Bi-stable switch
<i>Feature size F</i>	Min. required	<65 nm	<65 nm	<65 nm	<65 nm	<65 nm	<65 nm
	Best projected	5-10 nm [B]	5-10 nm	5-10 nm	5-10 nm	5-10 nm	5 nm [U]
	Demonstrated	180 nm [A]	180 nm [E]	90 nm [G]	1 μm [L]	250 nm [R]	30 nm [AB]
<i>Cell Area</i>	Min. required	10F ²	10 F ²	10 F ²	10 F ²	10 F ²	10 F ²
	Best projected	5F ²	8/5F ² [H]	8/5F ² [H]	8/5F ² [H]	8/5F ² [H]	5F ²
	Demonstrated	Data not available	Data not available	8F ² [G]	Data not available	Data not available	Data not available
<i>Read Time</i>	Min. required	<15 ns	<15 ns	<15 ns	<15 ns	<15 ns	<15 ns
	Best projected	<3 ns	<10 ns	<10 ns	<10 ns	<10 ns	<10 ns [U]
	Demonstrated	3 ns [C]	Data not available	<50 ns [G]	Data not available	~10 ns [S]	Data not available
<i>W/E time</i>	Min. required	Application dependent	Application dependent	Application dependent	Application dependent	Application dependent	Application dependent
	Best projected	<1 ns [A,B]	<10 ns	<20 ns [P]	<20 ns [M]	<10 ns	<40 ns [U]
	Demonstrated	3 ns [C]	10 ns/5 μs [E]	<50 ns [G]	100 ns [M]	10 ns [S]	0.2 s [V]
<i>Retention Time</i>	Min. required	>10 y	>10 y	>10 y	>10 y	>10 y	>10 y
	Best projected	>10 y	>10 y	>10 y	>10 y	Not known	Not known
	Demonstrated	~days [A]	>8 months [E]	>10 y [K]	1 y [N]	6 month [Y]	2 months [X]
<i>Write Cycles</i>	Min. required	>1E5	>1E5	>1E5	>1E5	>1E5	>1E5
	Best projected	>3E16	>3E16	>3E16	>3E16	>3E16	>3E16
	Demonstrated	>1E9 [A]	>1E6 [E]	>1E6 [G]	>1E3 [O]	>1E6 [S]	>2E3 [W]
<i>Write operating voltage (V)</i>	Min. required	Application dependent	Application dependent	Application dependent	Application dependent	Application dependent	Application dependent
	Best projected	Not known [D]	0.5/1	<0.5 V [Q]	<3 V	<1 V [R]	80 mV [Y]
	Demonstrated	1.5 V [A]	0.5/1 [E]	+0.6/-0.2 V [G]	3-5 V [L,M]	~±2 [S]	~±1.5 V [W]
<i>Read operating voltage (V)</i>	Min. required	2.5	2.5	2.5	2.5	2.5	2.5
	Best projected	0.7	<0.5	<0.2 V [Q]	0.7	0.7	0.3 [U]
	Demonstrated	1.5 V [A]	0.4 [E]	0.15 V [G]	0.7 V [L]	1 V [S]	0.5 V [W]
<i>Write energy (J/bit)</i>	Min. required	Application dependent	Application dependent	Application dependent	Application dependent	Application dependent	Application dependent
	Best projected	Not known [D]	Not known	1E-15 [J]	<1E-10	Not known	2E-19 [Y]
	Demonstrated	Data not available	1E-12 [F]	5E-14 [I]	1E-9 [P]	1E-13 [T]	Data not available
<i>Comments</i>		Inverse voltage scaling presents a problem	Potential for multi-bit storage	2 Mbit prototype chip demonstrated [G] Potential for multi-bit storage Low read voltage presents a problem	Potential for multi-bit storage Low read voltage presents a problem		160 Kbit prototype chip demonstrated [V]
<i>Research activity [Z]</i>		22	30	47	44	77	90

CNT—carbon nanotube

Notes for Table ERD5b:

[A] J. W. Ward, M. Meinhold, B. M. Segal, J. Berg, R. Sen, R. Sivarajan, D. K. Brock, and T. Rueckes. "A Non-Volatile Nanoelectromechanical Memory Element Utilizing A Fabric Of Carbon Nanotubes." *Non-Volatile Memory Technology Symposium*, 15-17 Nov. 2004, pp. 34-38.[B] T. Rueckes et al. "Carbon nanotube-Based Nonvolatile Random Access Memory for Molecular Computing." *Science* 289 (2000): 94-97.

[C] www.nantero.com

[D] The projections for WRITE voltage and WRITE energy depend on the length of nanoelectromechanical element. For very small length, the operating voltage might be too high for practical use, as follows from theoretical analysis in: M. Dequesnes et al. "Calculation of Pull-In Voltages For Carbon-Nanotube-Based Nanoelectromechanical Switch." *Nanotechnology* 13 (2002) 120. R. Lefevre et al. "Scaling Law in Carbon Nanotube Electromechanical Devices." *Phys. Rev. Lett.* 95 (2005) 185504.

- [E] G. Baek, et al. "Highly Scalable Nonvolatile Resistive Memory Using Simple Binary Oxide Driven By Asymmetric Unipolar Voltage Pulses." 2004 International Electron Devices Meeting, San Francisco, CA, USA, 13/12/2004-15/12/2004, 587-90.
- [F] Estimated based on experimental data reported in Ref. [E]: $E \sim 0.5 \text{ V} \cdot I \cdot t_w$, for $V=1 \text{ Volt}$, $I=0.5 \text{ mA}$, $t_w=10 \text{ ns}$.
- [G] S. Dietrich, M. Angerbauer, M. Ivanov, D. Gogl, H. Hoenigschmid, M. Kund, C. Liaw, M. Markert, R. Symanczyk, S. Bournat, and Gerhard Mueller." A Nonvolatile 20Mbit CBRAM Memory Core Featuring Advanced Read And Program Control." IEEE J. Solid-State Circ. 42 (2007) 839. [H] $8F^2$ for 1T1R, $5F^2$ for 1R cells.
- [I] Estimated based on experimental data reported in Ref. [G]: $E \sim 0.5 \text{ V} \cdot I \cdot t_w$, for $V=0.6 \text{ Volt}$, $I=10 \mu\text{A}$, $t_w=50 \text{ ns}$.
- [J] Estimated as $E \sim 0.5 \text{ V}^2 / R_{ON} \cdot t_w$ for $V=0.2 \text{ Volts}$, $R_{ON}=2E5 \text{ Ohm}$, $t_w=10 \text{ ns}$.
- [K] Obtained in ref. [G] from elevated temperature accelerated data retention measurements over 30 h.
- [L] M. Fujimoto et al. "Resistivity and Resistive Switching Properties of $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ thin Films." Appl. Phys. Lett. 89 (2006) 243504.
- [M] S. T. Hsu, T. Li and N. Awaya. "Resistance Random Access Memory Switching Mechanism." J. Appl. Phys. 101 (2007) 0245517.
- [N] Y. Watanabe, J.G. Bednorz, A. Bietsch, Ch. Gerber, D. Widmer, A. Beck, S. J. Wind. "Current-driven Insulator-conductor Transition and Non-volatile Memory in Chromium-doped SrTiO_3 Single Crystals." Appl. Phys. Lett. 78, 2001, 3738.
- [O] C. Papagianni, Y. B. Nian, Y. Q. Wang, N. J. Wu, A. Igmatiev, "Impedance Study of Reproducible Switching Memory effect." 2004 International Electron Devices Meeting, San Francisco, CA, USA, 13/12/2004-15/12/2004, 125-128.
- [P] S. Liu, et al. "Electro-resistive Memory Effect in Colossal Magnetoresistive Films and Performance Enhancement by Post-annealing." Mat. Res. Soc. Symp. Proc. vol. 648 (2001) P3.26.1-8.
- [Q] Electrochemical cell potentials control the write voltage. In appropriate combinations, 0.5 V will leave some safety margin. Read voltages will be significantly smaller.
- [R] R. Muller, S. De Jonge, K. Myny, D. J. Wouters, J. Genoe, and P. Heremans. "Organic CuTCNQ integrated in complementary metal oxide semiconductor copper back end-of-line for nonvolatile memory." Appl. Phys. Lett. 89 (2006) 223501.
- [S] L. P. Ma, J. Liu, and Y. Yang. "Organic electrical bistable devices and rewritable memory cells" Appl. Phys. Lett. v. 80, no. 16 (2002) 2997-2999.
- [T] Estimated based on experimental data reported in Ref. [S]: $E \sim 0.5 \text{ V} \cdot I \cdot t_w$, for $V=2 \text{ Volts}$, $I=10 \mu\text{A}$, $t_w=10 \text{ ns}$.
- [U] A. DeHon, S. C. Goldstein, P. J. Kuekes, P. Lincoln. "Nonphotolithographic nanoscale memory density prospects." IEEE Trans. Nanotechnol. v. 4, no. 2 (2005) 215-228.
- [V] J. E. Green, J. W. Choi, A. Boukai, Y. Bunimovich, E. Johnston-Halperin, E. Delonno, Y. Luo, B. A. Sheriff, K. Xu, Y. S. Shin, H-R. Tseng, J. F. Stoddart, and J. R. Heath. "A 160-kilobit molecular electronic memory patterned at 1011 bits per square centimetre." Nature 445 (2007) 414.
- [W] W. Wu, G-Y. Jung, D. L. Olynick, J. Straznicky, Z. Li, X. Li, D. A. A. Ohlberg, Y. Chen, S-Y. Wang, J. A. Liddle, W. M. Tong, and R. S. Williams. "One-kilobit cross-bar molecular memory circuits at 30-nm half-pitch fabricated by nanoimprint lithography." Appl. Phys. A v. 80 (2005) 1173-1178.
- [X] Chen Y., Ohlberg D.A.A., Li X.M., Stewart D.R., Williams R.S., Jeppesen J.O., Nielsen K.A., Stoddart J.F., Olynick D.L., Anderson E.. "Nanoscale Molecular-switch Devices Fabricated by Imprint Lithography." Appl. Phys. Lett 82 (2003) 1610.
- [Y] V. Meunier, S. V. Kalinin, and B. G. Sumpter, "Nonvolatile memory elements based on the intercalation of organic molecules inside carbon nanotubes." Phys. Rev. Lett. 98 (2007) 056401.
- [Z] The number of referred articles in technical journals that appeared in the Science Citation Index database for 7/1/2005-7/1/2007.

メモリデバイス — 掲載したメモリの定義と議論

A. 容量ベース型 (表 ERD5a)

トンネル障壁エンジニアリングメモリ — トンネル障壁エンジニアリングメモリは、基本的には浮遊ゲートメモリの構造と同じであるが、書込み/消去特性を向上するために傾斜障壁あるいは多層構造の絶縁障壁膜を用いている。傾斜(たとえば鶏冠状)障壁の浮遊ゲートメモリ^{1,2}は、記憶ノードへの、あるいは記憶ノードからの効果的なトンネリングを可能にする特殊な障壁形状を得るために、種々の絶縁膜を積層して用いる。このコンセプトは非常に魅力的であるが、積層した誘電体膜を用いて傾斜バンドギャップ・トンネル障壁を作製することは、その実現が極めて難しい。実現には、傾斜バンドギャップや傾斜誘電率を持つ新しい誘電体材料が必要となる。傾斜バンドギャップ誘電体材料のコンセプトは、傾斜バンドギャップを持つ III-V ヘテロ構造に似ている。傾斜電荷注入障壁³は前述の傾斜注入障壁メモリのコンセプトの前身として実験的に実証されているが、これを作製するために傾斜 $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{GaAs}$ 構造が使われたことは特記に値する。鶏冠状トンネル障壁積層構造 $\text{Si}_3\text{N}_4/\text{SiO}_2/\text{Si}_3\text{N}_4$ が実験的に検討され、その不揮発性メモリ特性が改善することが報告されている⁴。また、傾斜トンネル障壁の候補となり得る AlO_x 及び HfO_2 ^{5,6} 膜についての最近の研究がある。

VARIOT(variable oxide thickness floating gate memory)メモリ^{7,8}では、誘電率が異なる2つの誘電体の積層膜が用いられている。この構造は、比較的低い供給電圧で高いトンネル電流を得ることができるとともに、データ保持特性にも優れている。トンネル障壁エンジニアリングは、メモリセルのプログラムと消去に必要な電圧を低減する効果がある。 SiO_2 と HfO_2 あるいは Al_2O_3 の積層構造が検討されており、トンネルによるより低電圧でのプログラミングと10年間のデータ保持が実証されている。

トンネル障壁エンジニアリングメモリの他のコンセプトに、バンドギャップ調整型の SONOS メモリ⁹ (BE-SONOS)がある。トンネル酸化膜の代わりに極薄の $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ 障壁を用い、消去と保存のモード間に必要な非対称性を生み出している。

強誘電体 FET メモリ — 従来の 1T1C 強誘電体 RAM (FeRAM) は、DRAM セルのキャパシタに溜められる電荷と同程度の反転可能な分極電荷を必要とする。必要な電荷量を確保するためには、3 次元的に積み込まれた強誘電体キャパシタが必要となり、そのキャパシタが占める面積のためにスケラビリティが制限される。それに比べて、もし強誘電体キャパシタを FET のゲート積層構造の中に組み込めれば、強誘電体の分極は直接、チャンネル中の電荷に作用でき、FET の入力特性の明確な変化を起こすことができる。この 1T メモリデバイスは、強誘電体 FET (FeFET)¹⁰ と呼ばれる。チャンネル界面における低い界面準位密度を保証するためには、高品質の絶縁膜が必要となる。それ故、このデバイスの現実的なゲート構造は、金属-強誘電体-絶縁体-半導体 (MFMS) の積層構造となる。強誘電体と絶縁体の間に別の金属が挿入されることもある (MFMS)。FeFET デバイスは、MOSFET としてのスケラビリティを持つ。しかし、スケラビリティは 22 nm 程度が限界であろう。これ以上縮小すると、絶縁膜厚が薄くなり過ぎて、抗電界の膜厚依存性から考えて強誘電的性質を維持するのが困難になるからである¹¹。この 10 年間で、FeFET ベースの不揮発性メモリを作製する多くの試みがなされた。最も大きな課題は、強誘電体-半導体の界面に関する長期信頼性である。最近、保持時間に対する著しい改善が報告された^{12, 13}。疲労や焼き付きといった他の信頼性問題は、まだ十分に研究・理解されていない。

B. 抵抗ベース型 (表 ERD5b)

抵抗ベース型メモリは、ナノ電気機械式メモリと金属-絶縁体-金属 (MIM) システム群からなり、電気パルス誘起の抵抗変化効果を示す。MIM システムにおける考え得る抵抗スイッチングのメカニズムは、物理的及び/または化学的効果の組み合わせからなることが多い。そのメカニズムは、熱的効果、イオンの効果、あるいは電気的効果のうち、支配的な寄与をしているものによりグループ分けできる¹⁴。この節では、まずナノ電気機械式メモリについて議論し、続いて 3 種類の金属-絶縁体-金属システムについて議論する。

ナノ電気機械式メモリ (NEMM) — NEMM は、双安定な極小の電気機械式スイッチに基づいている。このコンセプトにおいて機械的なデジタル信号は、電気回路の開閉を引き起こす固体の極小要素(たとえば、ナノ細線、極小円柱、あるいはナノ粒子)の変位によって表される。NEMM の最初のコンセプトは、カーボンナノチューブ (CNT) を用いた立体交差型のメモリである¹⁵。各メモリ要素は、宙吊りに渡された CNT を基にしている。CNT の立体交差によって作ったアレイ(配列)構造では、各交差箇所に、機械的に双安定で静電的にスイッチできるデバイス要素が形成される。メモリの状態は、接合(交差箇所)の抵抗値として読み出される。NEMM から派生した複数の提案が現在、検討されている。たとえば、CNT ブリッジ¹⁶、CNT カンチレバー(片持ち梁)¹⁷、そしてシリコンのカンチレバー¹⁸などである。最近、極微(ナノ)結晶シリコン(nc-Si)ドットを組み込んだ極小の電気機械式デバイスが提案されている¹⁹。nc-Si ドットは、MOSFET 構造の中に形成された機械的に双安定な浮遊ゲートの中に、電荷蓄積中心として埋め込まれている。不揮発性 RAM に加え、極小の電気機械式シフトレジスタ・メモリが最近、提案されている²⁰。NEMM の大きな課題の一つは、高集積メモリアレイの確実な作製であり、CNT の特性制御の困難さのような材料や作製上の問題点が絡んでいる。

単極のヒューズ/反ヒューズ型メモリ — 熱的効果による MIM 構造における特有の抵抗スイッチング現象は、明らかに単極的性質を持つ。この現象は、電圧誘起による局所的な絶縁破壊によって引き起こされ、このとき、放電フィラメント中の物質はジュール熱により著しく変質する。電流コンプライアンスにより、制御された抵抗値を持つ脆弱な導電性のフィラメントのみが形成される。このフィラメントは、絶縁体中へ移動した電極金属、残存有機物の炭素²¹、あるいは、半酸化物のような分解された絶縁材料²²からなると思われる。リセット過程において、この導電性フィラメントは、局所的に生成される 10^{12} W/cm³ 台の高い電力密度により再び熱分解される。このメカニズムは、ヒューズ-反ヒューズ型と言われている。提案された多くの候補の一つが NiO であり、1960 年代に最初の報告がある²³。最近、NiO²⁴及び TiO₂²⁵に対して、ON 状態における導電性経

路のフィラメント的性質が確認されている。Pt/NiO/Pt 薄膜のセルが CMOS 技術の中に無理なく組み込まれて、不揮発性メモリ動作が実証されている²⁶。単極的スイッチング効果における重要なパラメータの一つは、現象発現に必要な電流値であろう。単極的抵抗スイッチングにおいては熱的效果が支配的と思われがちだが、一方、電気化学的プロセスも何らかの役割を果たしている^{27, 28, 29}との示唆があることも忘れてはならない。銅酸化物の抵抗スイッチングに関する最近の研究では、非常に強い電極依存性が示されている³⁰。このタイプのメモリでは、スイッチング電流、従って書き込みエネルギーが相対的に高くなる。また、メモリのスイッチングパラメータのばらつきが相対的に大きいことも問題である。スイッチング電流密度を低減したという報告があり³¹、また、NiO と電極の間に薄い IrO₂ 層を挟むことで、メモリのスイッチングに関するすべてのパラメータのばらつきが最小化されている³²。

イオン移動メモリ — メモリ動作は、電極材料か絶縁材料あるいは両方における酸化還元プロセスに基づいている。絶縁材は、イオン伝導性を示すことが求められる。材料としては、酸化物、高次のカルコゲナイド(ガラスを含む)、半導体の他、高分子を含む有機化合物が挙げられる。一つのやり方は、陽イオン輸送と陰極での還元、それによる金属フィラメントの成長に基づくものである。主として Ag と Cu ベースのシステムで、試作セルの動作に成功している^{33, 34}。フィラメントが形成され対向電極がつながると低抵抗状態となり、一方、酸化反応によりフィラメントが分解すると高抵抗状態に戻る。他のやり方では、絶縁材料自体に電気伝導性を誘起する陰イオン(たとえば酸素イオン)輸送と酸化還元反応を利用する^{35, 36}。多くの場合、双安定スイッチングを起こすためには、事前に何らかの発現プロセスが必要となる。このメモリの電気伝導は、しばしばフィラメント的性質を示す。もし、それを制御できれば、この双安定スイッチング過程に基づくメモリは、微細化において非常に小さな特性長まで対応できる。スイッチング速度は、イオン輸送によって制限される。酸化還元制御による双安定スイッチングに関係する活性距離が小さい場合(10 nm 以下)、スイッチング時間は 2-3 ns にできる。報告された各種現象のメカニズムの詳細がまだ不明であるため、各種特性の正確な予想はまだ困難である。

電子効果メモリ — 電子効果メモリは、3 つの異なるメカニズムを含む: 1) 電荷注入と捕獲、2) モット転移、3) 強誘電体分極効果:

1. 電荷の注入と捕獲は、抵抗変化の原因となり得る。電荷捕獲モデル(Simmons-Verderber 理論³⁷)によれば、電荷は高電界において Fowler-Nordheim トネリングによって注入され、ついで絶縁体中の欠陥や金属ナノ粒子のようなサイトに捕獲される。この過程は MIM 構造の静電障壁特性を変化させ、従って構造の抵抗値も変化させる。修正モデルでは、界面状態における捕獲が議論されている。この捕獲は、様々な金属/半導体性ペロブスカイトの界面において、隣接するショットキー障壁に影響を及ぼす^{38, 39}。別の例として、Si の極細線のメモリがある。多結晶 Si の極細線の抵抗は、細線中の結晶粒界に捕獲された少数の電荷によって調整される^{40, 41}。この方式は再現性に乏しい問題があるが、一方、バルクの MOSFET をなくせるのでセルサイズを著しく低減できる。この Si 極細線に基づいた 128 Mbit のメモリが、実際に作られている⁴²。さらなる検討が必要な材料の問題点として、繰り返しに対する脆弱性—スイッチの繰り返しにおける欠陥形成—がある。欠陥密度分布は統計的な不確実さをもつため、欠陥形成により、寿命とサイズ縮小の両方が制限されることが懸念される⁴³。

2. モット転移メモリでは、電荷の注入は強相関電子から弱相関電子への転移を誘起し、その結果、絶縁体—金属転移を引き起こす。モット転移のメカニズムは、(Pr,Ca)MnO₃(PCMO)^{44, 45, 46} SrTiO₃:Cr,⁴⁷ Ag/CeO₂/LCMO ヘテロ構造⁴⁸のようなペロブスカイト型酸化物に対して報告されている。モット転移による抵抗スイッチングが、Pt/TiO₂/TiN/Pt システムに対して最近、報告されている^{49, 50}。このタイプのデバイスの重要な課題の一つは、各種パラメータ(電荷密度、歪み、結晶の乱れ、局所的な組成など)の小さな変化に対する相関電子の応答感度である⁵¹。それ故、材料と界面の物理的及び化学的構造の精密な制御が、極めて重要となる。

3. 強誘電体分極は、極薄膜のトンネル特性、あるいは、隣り合った半導体層におけるショットキー型空間電荷層を変調することができ^{52, 53}、これにより強誘電性の抵抗スイッチングが生じる。今のところ、観察されたスイッチング現象の原因が強誘電的なものであるとの確証はない。

高分子メモリ — 高分子メモリは、ポリマー(重合体)あるいは有機メモリとも呼ばれるが、金属成分が埋め込まれた有機物の薄膜で作られたメモリ要素から成る。埋め込まれた金属成分は、薄い金属層やナノサイズ金属粒の集団^{54, 55, 56, 57, 58}、あるいは有機金属材料 CuTCNQ と AgTCNQ (TCNQ=7,7,8,8-tetracyano-p-quinodimethane) 中の金属イオンなどである⁵⁹。ポリマーの膜中に埋め込まれた C₆₀ 分子に基づくメモリデバイスも最近、報告されている⁶⁰。これらすべての構造は、同じ印加電圧に対して、伝導率が異なる 2 つの状態を示す。書込み操作は、この構造への電圧パルス印加で行われ、これにより低抵抗と高抵抗状態間の可逆的なスイッチングが行われる。状態転移後は、電源を切っても、2 つの状態のうちの 하나가維持される。消去操作は、逆電圧のパルス印加で行われる。

実験結果によれば、埋め込み金属層は、高分子メモリ素子の双安定 I-V 特性において重要な役割を果たしているようである⁶¹。メモリ動作原理は、まだ、明らかでない。ヒューズ/反ヒューズあるいはイオン伝導メモリにおけるような、導電性フィラメントの形成は関係していないようである。複数の研究者⁶²が、双安定性のメカニズムは Simmons-Verderber 理論⁶³によって説明できるとしている。この場合、抵抗変化は離散した金属ナノ結晶における電荷の捕獲によって生じており、従ってこのタイプのメモリは電子効果メモリの範疇に入ることとなる。

分子メモリ — 分子メモリは、単一分子をメモリセルの構成要素として使う様々な提案の総称であり、情報の 1 bit は分子一つの空間に保存される。実験的に動作を実証した一つの方法は、2 つの電極間に分子を取り付け、電圧印加による制御で実効コンダクタンスの高速な可逆変化を起こすというものである^{64, 65, 66, 67}。この分子メモリでは、外部電圧の印加により分子を 2 つの可能な伝導状態のうちの一つへ転移させることで、データが保存される。データは、分子セルの抵抗変化を測定することで読み取られる。DRAM⁶⁸や浮遊ゲートメモリのような現状のメモリ技術の中に、分子を構成要素として取り込むという構想もある。分子における伝導率スイッチングのメカニズムは、まだ完全には理解されていない。初期に報告された実験結果のいくつかは、分子を通じた電子輸送は 2 つの金属電極間に取り付けられた分子に沿った金属フィラメントの形成によるとしている⁶⁹。それ故、分子スイッチの本来の性質は、往々にして他の効果によって遮蔽されている可能性がある。次のステップ、すなわち、機能的に活性な分子どうしの分子による接続は、長期的な研究が必要になると見られている。分子エレクトロニクスに対する知識基盤の確立には、さらなる基礎的な研究が必要である。

ロジック及び代替え情報処理デバイス

過去3版のこの節では、代替ロジック技術に、高機能汎用演算において CMOS デバイスを置き換える可能性があるか、ということに関して議論された。その結果、そこで調査された代替技術には、今後十年間は、ITRS ロードマップ上に記載された CMOS デバイスを置き換える可能性はないことが分かった。このため、全世界における代替技術の膨大な研究の中で、新しい技術の際立った物理的特徴が、CMOS に比べて優れ、CMOS と結合でき、汎用ブール代数論理以外のなんらかの有用な情報処理機能が存在しうるかどうか、という疑問が投げかけられた。この版の Emerging Research Device の章では、このことおよびそれに関連した疑問に言及する。

また、ERD の章の以前の節と同じく、本節にも推移表を持ち、それを Table ERD6 として示す。推移 Table は、2005 年版から 2007 年版に進むにつれて、Table ERD7a に加わる、および、抜ける技術を示す。また、2009 年版に加えられる可能性のある 4 つの新しい技術も示す。

非ブール代数論理に向けた代替デバイスの予想される性能の解析は、本質的に、それに伴うアーキテクチャに関係する。Emerging Research Architecture の節に示されるように、ヘテロで非対称なマルチコアプロセッサを志向する現在の産業トレンドは、今後のシステムが、特殊用途向けの新しいデバイスを利用する専用コプロセッサをサポートするという考えと整合している。こうした専用コプロセッサおよびアクセラレータは一つあるいはそれ以上のコアとして集積され、CMOS をベースとした従来の汎用システムの中で、特殊な演算に用いられる。その一例として、画像認識あるいはスピーチ認識用コプロセッサ、データ検索のための Bayesian 干渉エンジン、合成を応用とした連想メモリユニットなどがある。

Emerging Research Device Logic の節は、このように、汎用演算、ブール代数論理型から、認識・検索・合成に関わるデバイスへと拡張されている。そのため、次の 2 つの表が作成されている。Table ERD7a は、従来のバージョンと非常によく似ており、汎用ブール代数論理を用いる技術の性能評価に関わる代替候補技術のパラメータを含んでいる。それによって先の二年における代替技術の研究の進捗を示すことができる。Table ERD7b では、Table ERD7a に示されたデバイスのいくつかに関して、System Driver の章で今後 10 年間にわたって重要であると予測された新しいアプリケーションの観点からの評価を示した。新しいアプリケーションには、新しいアーキテクチャが必要であるが、それらは、CMOS デバイスの応答関数とは全く異なる応答関数を持つ新しいデバイスへのドアを開くことにもなる。

Table ERD6 Transition Table for Emerging Research Logic Devices

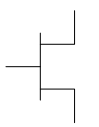
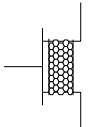
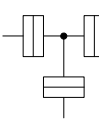
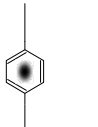

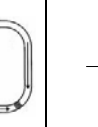
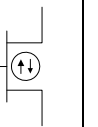
	IN/OUT	Reason for IN/OUT	Comment
Rapid Single Flux Quanta (RSFQ)	OUT	RSFQ devices, systems and circuits have been developed, prototyped, and fabricated. They could become an important technology if the correct market driver emerges	Design and fabrication lines for RSFQ systems exist. Cryogenic operation, cost and material integration issues limit application space
CMOS extension-III-V channel replacements	IN	Low bandgap, compound III-V semiconductors can potentially improve transistor performance	Research on compound III-V semiconductors on Si substrates has increased significantly over the last 2 years
Impact Ionization MOS	Possible Future	Simulation results showing very low sub threshold slopes indicate potential for low power operation	Reliability remains an issue may be included in future editions
Nano Electro Mechanical Systems (NEMS)	Possible Future	Potential for ultra low leakage device based on nano relay operation	Issues associated with stiction, speed, active power and reliability are being studied –may be included in future editions
Lateral interband tunneling transistor	Possible Future	Potential to utilize gate modulated interband tunneling to reduce subthreshold slope	May be included in future editions
Floating gate MOS devices	Possible Future	Devices with nanocrystals embedded in gate allow circuits with tuneable thresholds. Potential for low power circuits	May be included in future editions

ロジックデバイス

この版の内容は過去の版は少し異なる。相違点を以下に示す。ロジックテーブルに示されたパラメータは高機能汎用演算に関するものである。すべての定量的なパラメータは最良の予測値、発表された最良値、参照された値の個別欄に記述されている。

1. CMOS への拡張—低次元構造。以前にはカーボンナノチューブ FET、ナノワイヤーFET、ナノワイヤーヘテロ構造を含んでいた。この版では、ナノリボングラフェンを使ったデバイスも含む。
2. CMOS への拡張—チャンネルの置き換えのための材料として高移動度 Ge および III-V 族化合物半導体層を含む MOSFET。
3. 単一電子デバイスは以前のバージョンと同様のスコープを持つ。
4. 分子デバイスも以前のバージョンと同様のスコープであるが、CMOS アーキテクチャ上の分子というコンセプト(CMOL)にフォーカスする。
5. 強磁性ロジックデバイスはナドメインの磁化方向に付随した集団的な磁氣的効果を基盤とする。
6. スピンデバイスは1個あるいは数個の電子、欠陥、核のスピンダイナミクスを基盤とする。

Table ERD7a Emerging Research Logic Devices—Demonstrated and Projected Parameters

Device								
		FET Extension						
		FET [A]	1D structures	Channel replacement	SET	Molecular	Ferromagnetic logic	Spin transistor
Typical example devices		Si CMOS	CNT FET NW FET NW hetero-structures Nanoribbon transistors with graphene	III-V compound semiconductor and Ge channel replacement	SET	Crossbar latch Molecular transistor Molecular QCA	Moving domain wall M: QCA	Spin Gain transistor Spin FET Spin Torque Transistor
Cell Size (spatial pitch) [B]	Projected	100 nm	100 nm [D]	300 nm [I]	40 nm [O]	10 nm [U]	140 nm [Y]	100 nm [C]
	Demonstrated	590 nm	~1.5 μm [E]	1700 nm [J]	~200 nm [K, L]	~2 μm [V]	250 nm [Z, AA]	100 μm [AB]
Density (device/cm ²)	Projected	1E10	4.5E9	6.1E9	6E10	1E12	5E9	4.5E9
	Demonstrated	2.8E8	4E7	3.5E7	~2E9	2E7	1.6E9	1E4
Switch Speed	Projected	12 THz	6.3 THz [F]	>1 THz	10 THz [Q]	1 THz [W]	1 GHz [Y]	40 GHz [AC]
	Demonstrated	1.5 THz	200 MHz [G]	>300 GHz	2 THz [R]	100 Hz [V]	30 Hz [Z, AA]	Not known
Circuit Speed	Projected	61 GHz	61 GHz [C]	61 GHz [C]	1 GHz [O]	1 GHz [U]	10 MHz [Y]	Not known
	Demonstrated	5.6 GHz	220 Hz [H]	Data not available	1 MHz [P]	100 Hz [V]	30 Hz [Z]	Not known
Switching Energy, J	Projected	3E-18	3E-18	3.00E-18	1×10 ⁻¹⁸ [O] [>1.5×10 ⁻¹⁷] [S]	5E-17 [X]	~1E-17 [Z]	3E-18
	Demonstrated	1E-16	1E-11 [H]	1E-16 [J]	8×10 ⁻¹⁷ [T] [>1.3×10 ⁻¹⁴] [S]	3E-7 [V]	6E-18 [AA]	Not known
Binary Throughput, GBit/ns/cm ²	Projected	238	238	61	10	1000	5E-2	Not known
	Demonstrated	1.6	1E-8	Data not available	2E-4	2E-9	5E-8	Not known
Operational Temperature		RT	RT	RT	RT [M, N]	RT	RT	RT
Materials System		Si	CNT, Si, Ge, III-V, In ₂ O ₃ , ZnO, TiO ₂ , SiC,	InGaAs, InAs, InSb	III-V, Si, Ge,	Organic molecules	Ferromagnetic alloys	Si, III-V, complex metals oxides
Research Activity [AD]			379	62	91	244	32	122

Notes for Table ERD7a:

- [A] For Si CMOS entry, parameters for high performance MPU are used: "Projected" (2022), "Demonstrated" (2007).
 [B] The effective dimension that one transistor occupies on the MPU chip floor space. For CMOS MPU chips, the relation between cell size and L_g holds approximately constant by scaling: cell size = $20L_g$.
 [C] $L_g = 5$ nm.
 [D] Size and circuit speed scaling of these structures is the same as the scaling of MOSFETs.
 [E] J. Appenzeller, Y.-M. Lin, J. Knoch, P. Avouris. "Band-to-band Tunneling in Carbon Nanotube Field-Effect Transistors." *Phys. Rev. Lett.*, v. 93, no. 19 (2003) 196805.
 [F] P. J. Burke. "AC Performance of Nanoelectronics: Towards a Ballistic THz Nanotube Transistor." *Solid-State Electron.* v. 48 (2004) 1981-1986.
 [G] Singh DV, Jenkins KA, Appenzeller J. "Direct Measurements of Frequency Response of Carbon Nanotube Field Effect Transistors." *Electronics Letters* 41 (5): 280-282 MAR 3 2005.
 [H] A. Javey, Q. Wang, A. Ural, Y.M. Li, H.J. Dai. "Carbon Nanotube Transistor Arrays for Multistage Complementary Logic and Ring Oscillators." *Nano Lett.* v. 2, no. 9 (2002) 929-932.
 [I] Estimated as $20L_g$ for the minimum projected $L_g = 15$ nm (InGaAs): A. Asenov, et al. "Simulation of Implant Free III-V MOSFETs for High Performance Low Power Nano-CMOS Applications." *Microelectronic Eng.* 84 (2007) 2398-2403.
 [J] Estimated as $20L_g$ for $L_g = 85$ nm reported in: S. Datta. "III-V Field-Effect Transistors for Low Power Digital Logic Applications." *Microelectronic Eng.* 84 (2007) 2133-2137.
 [K] M.C. Lin, Aravind K., Wu C.S., et al. "Cyclotron Localization in a Sub-10-nm Silicon Quantum Dot Single Electron Transistor." *Appl. Phys. Lett.* 90 (3): Art. No. 032106 JAN 15 2007
 [L] M. Hofheinz, Jehl X., Sanquer M., et al. "Simple and controlled Single Electron Transistor Based on Doping Modulation in Silicon Nanowires." *Appl. Phys. Lett.* 89 (14): Art. No. 143504 OCT 2 2006.
 [M] M. Kobayashi, Hiramoto T. "Large Coulomb-blockade Oscillations and Negative Differential Conductance in Silicon Single-Electron Transistors with [100]- and [110]-Directed Channels at Room Temperature." *Jap. J. Appl. Phys. Pt 1- 46 (1): 24-27 JAN 2007.*
 [N] C. Dubuc, Beauvais J, Drouin D. "Single-electron Transistors with Wide Operating Temperature Range." *Applied Physics Letters* 90 (11): Art. No. 113104 MAR 12 2007.
 [O] For SET logic circuits, device size/density, circuit speed, switching energy and operational temperature are interdependent. The values in the table were derived for a complex circuit operating at 1 GHz: R. H. Chen, A. N. Korotkov, and K. K. Likharev. "Single-electron Transistor Logic." *Appl. Phys. Lett.* v. 68, no 14 (1996) 1954.
 [P] C. Hof, et al. "Manipulating Single Electrons with a Seven-Junction Pump." *IEEE Trans. Instr. Measur.* 54 (2005) 670-672.
 [Q] K.S. Park, et al. "SOI Single-electron Transistor with Low RC delay for Logic Cells and SET/FET Hybrid ICs." *IEEE Trans. Nanotechnology* v. 4, no. 2 (2005) 242.
 [R] In notation [O] above, the reported number of 2 THz for "intrinsic speed" of an experimental SET was derived from capacitance measurements, and not from experimental time-dependent characteristics.
 [S] The value in the [] is the value that includes cooling energy. If an ideal Carnot refrigerator is used for cooling to the operation temperature T_c , the

$$E_{sw} > E_c \cdot \frac{300}{T_c}$$

total switching energy, where E_c is the net switching energy, when cooling energy is not taken into account.

- [T] K. Tsukagoshi, B. W. Alphenaar, K. Nakazato. "Operation of Logic Function in a Coulomb Blockade Device." *Appl. Phys. Lett.* 73 (1998) 2515.
 [U] A. DeHon and M. J. Wilson. "Nanowire-Based Sublithographic Programmable Logic Arrays, Proc. Intern.Sym. on Field-Program." *Gate Arrays (FPGA2004, Feb. 22-24, 2004).*
 [V] P. J. Kuekes, D. R. Stewart, R. S. Williams. "The Crossbar Latch: Logic Value Storage, Restoration and Inversion in Crossbar Circuits." *J. Appl. Phys.* v. 93 (2005) 034301.
 [W] J.M.Seminario, Derosa P.A., Cordova L.E., et al. "A Molecular Device Operating at Terahertz Frequencies: Theoretical Simulations." *IEEE Transactions On Nanotechnology* 3 (1): 215-218, March 2004.
 [X] A. DeHon. "Array-Based Architecture for FET-Based Nanoscale Electronics." *IEEE Trans. Nanotechnol.* V. 2, no. 1 (2003) 23.
 [Y] M. C. B. Parish and M. Forshaw. "Physical Constraints on Magnetic Quantum Cellular Automata." *Appl. Phys. Lett.* v. 83, no. 10 (2003) 2046-2047.
 [Z] Cowburn and M.E. Welland. "Room Temperature Magnetic Quantum Cellular Automata." *Science* v. 287, no. 5457 (2000) 1466.
 [AA] D.A. Allwood, et al. "Submicrometer Ferromagnetic NOT Gate and Shift Register." *Science* 296 (2002) 2003.
 [AB] T. Hirose, Y. Fujiwara, M. Jimbo, T. Kobayashi, S. Shiomi. "Magnetocurrent of Magnetic Tunnel Transistors Employing Various Schottky Junctions." *J. Magnetism and Magnet. Materials* v. 286 (2005) 124-127.
 [AC] D.E. Nikonov, Bourianoff G.I. "Spin gain Transistor in Ferromagnetic Semiconductors - The Semiconductor Bloch-equations Approach." *IEEE Transactions On Nanotechnology* 4 (2): 206-214 March 2005.
 [AD] The number of articles in technical journals that appeared in the Science Citation Index database for July 2005-July 2007.

ロジックデバイス—表に加えるための定義と議論

CMOS への拡張: 低次元構造—従来の CMOS デバイスを延命しようと、多くの努力が現在行われている。主なアプローチのうち 2 つは、FET のチャンネルを新規な高移動度をもつ材料に置き換える戦略である。検討した物質のうちあるものは、バルク状態では半導体ではなく、量子閉じ込めにより、半導体のバンド構造を示している。今日の学会で扱われる、量子閉じ込めの 3 つの主なタイプは、カーボンナノチューブ、ナノワイヤ、グラフェンナノリボンである。最近のナノワイヤ(NW)、カーボンナノチューブ(CNT) デバイス研究は、一般的に次の 3 つのカテゴリに分けられる。(1)実験的成長と組み立て、(2)CNT と NW デバイスの製作と特性評価、(3)CNT と NW 回路と集積化である。

重要な進歩は、PECVD 室のプラズマ・パラメータの調整や、触媒の各々の工夫で、ナノチューブ物質^{70,71}の構造対称性について、より良く制御できる様々な方法を示せたことである。カーボンナノチューブの特性を制御する別の方法は、膜を形成し、金属特性を示すナノチューブを選択的にエッチングすることである。この方法では 96%の半導体チューブを得ることが出来る。個々のナノチューブはドーパ材で選択的に N 型、P 型に出来るが、ナノチューブ配列のドーピングは未だ出来ていない。1/f 雑音の原因として、コンタクト部分の役割を理解できたことは進歩である。⁷²

ナノチューブやナノワイヤの量子的な容量と静電的な容量の両方とも直接得る新規な測定技術など、小さくされた CNT 構造のより良い特性評価に向けても、重要な進歩があった⁷³。その結果、デバイスの電氣的測定から直接移動度を導き出せるように今やなった⁷⁴。ナノチューブやナノワイヤの高周波での動作制限は今後調べなければならない。間接 RF 特性測定には、沢山の手法が示されたが、これらの高インピーダンスデバイスの寄生容量と抵抗のため直接は RF 特性の測定が出来ていない^{75,76}。色々のグループが示した 1 次元物質の組み付けを制御することの進歩は、50nm 以下の平均ピッチで基板にナノチューブやナノワイヤの平行配列を組み付けるに当たって様々な方法を示している^{77,78,79,80}。しかしながら、より良くピッチを制御することは必要で、組付・製造の技術としてさらなる創造が必要である。重要なことは、並行な配列に組付けられたナノワイヤに基づくデバイスの特性が測られ、電氣的特性のばらつきがナノチューブの性質のばらつきに相関付が出来たことである。オン電流⁸¹のばらつきが~15%あることは普通である。電氣的特性のばらつきを減らし、制御することは、ナノ材料の回路やシステムへの集積に事他重要である。ITRS2007 の ERM 章を参照のこと。

複合化合物ナノワイヤ構造は IV 族と III-V 族物質のコアシェル配置と長手方向に分割した配置両方で実現されている。長手方向に分割した配置は材料の界面が、ナノワイヤの軸と垂直となるようにエピ成長を行っている。これにより^{82,83}、ひどい欠陥もなく、大きな格子不整合を許容することが出来る縦型の InAs トランジスタはこのようにして、作成され良い特性を示しているコアシェル取り囲みゲート構造⁸⁴は一般的に、すぐれたゲート制御性とショート・チャンネル効果を示している。すべて縦のトランジスタ配置を配線することは、バルクのトランジスタの場合より遥かに複雑である。いくつかのグループがナノチューブとナノワイヤデバイスの回路機能を示したが、単一のカーボンナノチューブで上手く作成された CMOS リング・オシレータは~13 MHz 程度の動作であった。試験回路の性能は、デバイスの容量で制限され、理論的に予測されているテラヘルツ (THz) 動作領域⁸⁵とはかけ離れたものである。

2 次元のグラフェンはよく知られているように、 $10^4 \text{ cm}^2/\text{V sec}$ に近いキャリア移動度を持つ高移動度零ギャップ半導体である。十分に小さな帯状にパターン化されれば、帯状グラフェンは量子閉じ込め効果⁸⁶により生じた有限のバンドギャップを示すので、FET 構造のチャンネル置き換え材料として、グラフェンには大きな関心が寄せられている。鍵となる物質の性質と課題については、ERM 章により詳しく述べられている。

CMOS への拡張: 高移動度チャンネル置き換え物質— 狭バンドギャップ III-V 族化合物半導体にはバルクでも薄膜でも高い電子移動度をもつものもあり、プロセス集積が出来生産の問題が解決できれば、シリコンによる CMOS に比べて高い性能を示す可能性がある。最初に検討されたのは InSb, InGaAs, InAs, InAsSb, と Ge だが、多くの他の組み合わせにも関心が寄せられている。検討された特有の研究課題は、シリコン上での III-V 族エピ成長膜に欠陥が入り込むこと、高誘電率ゲート膜、スケーラに従って性能が上がるモードのデバイス・アーキテクチャ、半導体・酸化膜界面でのフェルミ準位のピンニング、III-V 族化合物半導体の低いホール移動度、スケール則に乗る自己整合構造他多数である。III-V 族材料とデバイスの文献は沢山あり、完全なレビューは本節の扱う範囲外なので、この技術の現状をまとめておく事に止める。⁸⁷

単電子トランジスタ Single Electron Transistors (SETs)— 単電子トランジスタ⁸⁸は 3 端子のスイッチング素子であり、電子をソースからドレインまで一度に 1 つトンネル原理により運ぶ。潜在的には、単電子トランジスタ

汎用目的のブール代数論理に応用可能であるが、回路・アーキテクチャレベルでの重大な革新が必要である。このような応用では、単電子トランジスタは高密度と高いパワー効率をそれなりに良いスピードで実現する潜在力を秘めており、閾値電圧変動が大きいことや寄生容量への帯電といった問題が解決されることが望まれる。

室温で動作する単電子トランジスタを用いて、単電子トランジスタに特有の機能を利用する応用やアーキテクチャが開発されており、特に単電子トランジスタと FET 回路をモニリシックに集積化することは一般的なシリコン CMOS で満たされない性能を補完することを目的としている。代表的な例は、単電子トランジスタと CMOS のハイブリッド多値論理回路⁸⁹、多バンド・フィルタリング回路⁹⁰、アナログパターンマッチング回路(次節でより詳しく議論)⁹¹、連想認識 associative recognition tasks⁹²などであり⁹³、これらにおいては、クーロン振動特性がデバイスの数を減らすことに利用されている場合が多い。回路性能のある面、特に室温の動作^{94, 95}においては、2nm の単電子トランジスタの理論的な予測を超えている。単電子素子は、理論的には、20K の動作温度、集積化レベルが 10^{11}cm^{-2} 、速度 1GHz と予測されている⁹⁶。しかしながら、閾値電圧の大きな揺らぎは、未だに大規模な単電子トランジスタ回路の実現を阻害しており、ブール論理を実現する素子として CMOS と競合することを困難にしている。サイズやバックグランド電荷による単電子トランジスタ間のばらつき、すなわち大きな閾値電圧のばらつき、を除去するためには工学的なブレークスルーが必要である。

デモンストレーションに用いられている単電子トランジスタ回路の大部分は、いわゆる“電圧で論理状態を表現する論理回路”、すなわち容量に蓄えられた電荷による電圧でビットが表現されている論理回路、である。ファンアウトが小さいという問題は、容量を減らすことや一般的な FET 回路と組み合わせることで乗り越えることが可能である。本当に単電子を利用するというアプローチ、すなわちビットを単電子で表現(“ビット状態論理”)⁹⁷したり、単電子を乱数生成の種として利用する⁹⁸というものは、研究上のデモンストレーションに限られている。単電子を利用するというアプローチの場合の問題である小さなファンアウトは、革新的な回路デザイン、例えば binary-decision-diagram などによって、乗り越えることができる可能性がある⁹⁹。単電子トランジスタと関連した材料の議論は、新しい ERM の章で議論されている。

分子デバイス(Molecular devices) — 汎用演算向けの分子デバイスのポテンシャルは、高密度、多岐にわたる分子の性質、分子の性質の一様性、自己整合および超低消費電力に基づく。電子回路における分子素子の機能は、電荷の蓄積機能、およびクーロンブロッケードデバイスのような機能、あるいは分子の配位状態に依存した可変抵抗機能から生じる。過去 2 年間で、必要とされる機能を持った分子そのものの研究のみならず分子素子を利用するためのアーキテクチャ構築に関する理論的研究が、大きく進展した。しかしながら、分子の合成、デバイスの作成、回路作成、信頼性、電極形成における大きな問題があり、必要とされるパラメータと実験的に得られるものとの差は非常に大きい。

分子をプログラマブルダイオード(ラッチング・スイッチ)として使うことは、将来の応用のためのコア技術である。それは、フィラメント形成と消去^{100, 101}、電荷のトラッピングあるいは蓄積^{102, 103}、配位の変化¹⁰⁴を含む 3 つのカテゴリに分類される。速度、抵抗値、消費電力および信頼性に関する実験的測定の再現性は、通常、実験手法や実験グループによって桁で異なる。しかし、一つの実験グループ内での実験の信頼性は過去数年で非常に向上してきている。

CMOS/ナノエレクトロニクスの混成システムに向けたアーキテクチャの開発には非常に多くの努力がなされてきた。これらは、コンベンショナルな CMOS デバイスと、上記に示した^{105, 106}プログラマブルダイオードとして機能する分子素子を持つナノワイヤアレイを接続したもので、一般に CMOL システムと呼ばれる。CMOL システムのシミュレーションは、FPGA、画像認識¹⁰⁷、クロスバーメモリ¹⁰⁸を含む多くの応用分野に用いられ、ス

ケーリング時のコア技術の課題が解決されたとした場合の CMOS に比べて、非常に興味深い潜在性能が予測されている。現時点では、まだ、こうした CMOS/ナノエレクトロニクスの混成デバイス回路のデモンストレーションには成功していない¹⁰⁹。

強磁性デバイス (Ferromagnetic Devices) — 強磁性デバイスは、強磁性体のドメインの局所的な磁化配置を使って計算状態を記憶するという代替ロジックデバイスの範疇に入る。ここでの定義では、強磁性デバイスは、スピンドバイスは別のものである。スピンドバイスは、計算状態を蓄積・操作するための 1 個あるいは数個の荷電キャリアのダイナミクス、あるいは、トランジスタ構造におけるソースとドレイン間のスピン依存伝導に基づくものである。強磁性デバイスは、強磁性体の性質から、不揮発であり、耐放射線機能に優れている。多くの強磁性体金属は室温よりも十分に高いキュリー温度を持つ一方で、多くの強磁性体半導体のキュリー温度は、まだ、室温よりも低いところにある。

強磁性ロジックデバイスは強磁性金属配線をブール代数論理デバイスを構成するようにパターンニングして作成される。そのポテンシャルが認識されたのは、磁気的なナノドメインを隔てるドメイン・ウォール境界の伝播速度が、数百m/秒に到達したときである¹¹⁰。この発見により、外部磁場によってドメイン・ウォールを移動させることによって^{111, 112}、NOT ゲート、AND ゲート、ファンアウト構造、クロスオーバー構造、シフトレジスタの幾何学的な実現に導いた。

より最近では、金属ナノワイヤを流れる電流によって、室温で、磁性ナノワイヤ内の一つのドメイン・ウォールを移動させることができている¹¹³。その発見は、強磁性半導体構造における電流誘起によるドメイン・ウォール・スイッチング¹¹⁴、室温よりもかなり低い温度での半導体トンネル接合における電流による磁化の反転¹¹⁵へと続く。後に、室温の金属における電流誘起によるドメイン・ウォールの移動速度は 100m/s となった¹¹⁶。「磁気レーストラックメモリ」¹¹⁷と呼ばれるコンセプトが提案された。それによって新しいデータストレージシステムを目指している。それは電流誘起によるドメイン・ウォールの移動に基づくもので、DRAM と同程度の機能、高密度 HDD と同程度のコストを持つものとしている。

ドメイン・ウォール・ロジックデバイスの特徴は、電流誘起によるドメイン・ウォールの移動におけるナノスケールなメカニズムに依存する。すなわち、電子の運動量あるいは角運動量の輸送¹¹⁸である。こうした詳細の基礎的な理解が、新しいデバイスにつながる。例えば、メモリおよびアンプ応用のため、特別な形状をした金属におけるドメイン・ウォールの移動をスピン分極した電流で起こさせる¹¹⁹。ラッチやレジスタとして強磁性体材料の不揮発性を探索することから、自己チェック・ポインティング・マイクロプロセッサ¹²⁰や FPGA への応用が提案されている^{121, 122}。

シングルスピンデバイス (Single spin devices) — シングルスピンデバイスは、個々のスピンをロジックのビットとして使うというコンセプトおよびデバイス、および FET のドレイン電流の変調のためにスピン依存輸送現象を使うデバイスを含む。元々のコンセプトは、量子ドットの中に閉じ込められた局在電子のスピンをロジックのビットとして用いることであった。隣り合うスピンの配置は、量子力学的な交換相互作用¹²³により結合する。静電的な横方向の閉じ込めを持つスキームが示されてきたが、それらは変動に非常に敏感で、数ミクロン以上のビットサイズを要した。AND および OR ゲートを実現するためのレイアウトも提案されてきている¹²⁴。一方で回路は Majority ロジックゲート¹²⁵に基づくものであり、ナノ磁石よりはむしろ量子ドットの中のスピんに適用された¹²⁶。近隣のビットはスピンに依存した電子間の交換相互作用によってスイッチされた。その相互作用の大きさは印加電圧、および、二つの隣り合う量子ドットの電子の波動関数の重なりによって調整できる。スピン電流における信号は一つのビットからもう一つへ移送され、強磁性体ワイヤ内のスピン波と同じように伝播する。この種類のロジックの主たる問題はアップストリームビット上でのダウンストリームビットのバックアクションで

ある。その解決策の一つはクロックを使った動作である¹²⁷。そこでは、反射されたスピン波が入力ビットに到達すえう前に演算は中断およびリセットされる。

この種類のロジックの重要な利点は、二つの異なるロジック状態を実現するのに、それらを隔てるエネルギーバリアに頼る必要がないということである。熱平衡に近い系ではこのエネルギーバリアの高さは熱ゆらぎのエネルギーよりもはるかに高くなければならない。結果として、エネルギーバリアの高さは、スイッチングエネルギーが1ビットあたり $kT \ln 2$ という von Neumann-Landauer 極限になる。他の種類のロジックと異なり、スピン状態の緩和確率は、スイッチング確率よりもはるかに低い。スピンビットは系が熱平衡に戻る前に多数回のスイッチングが行える。1ビットのスイッチングに必要なエネルギーは本質的に $kT \ln 2$ 極限よりも小さくできることが理論的に示されている¹²⁸。これに関連したコンセプト¹²⁹は、例えばスピン軌道相互作用によって、二つのスピン状態の結合に対応する行列要素を変化させることをベースにしている。それによると、スイッチングエネルギーの理論的下限は、 $kT \ln 2$ 以下となる。しかしながら、その場合には、大きな外部磁場を使って状態を制御する必要があり、大きな消費エネルギーとなる可能性があることに注意しなければならない¹³⁰。

Spin MOSFET は MOS ゲート構造、および、ソース、ドレインコンタクトに強磁性あるいはハーフメタルを用いた新しい MOSFET と定義される¹³¹。原則として、spin MOSFET は大きな磁気抵抗比、高いトランスコンダクタンス、高いゲイン、小さな Pt 積、小さなオフ電流を持つ。強磁性金属コンタクトから半導体チャネルへのスピン注入は、このデバイスの性能を大きく左右する。最近では、進んだスピントランジスタがエピタキシャル成長による単結晶 GaMnAs を用いて作成され、良好なオンオフ・スイッチング能力と明らかな電流増幅機能が $T=2.6K$ で示されている¹³²。

代替え情報処理デバイス

前のロジックデバイスの節では、ERD を汎用論理動作への適合性から考察した。そこでは、情報が2値で表現され、アルゴリズムが順次ブール代数操作を実行していくフォン・ノイマン型のコンピューティングを仮定した。ロジックデバイスの章は、ERD の前の版で用いられた構成を踏襲している。

この代替情報処理デバイスの章は、前の版からの進歩を記述している。前にも指摘したように、いくつかの ERD は汎用コンピューティングより認識、検索、合成などの応用に、より適合する物理的応答を示すことが実証されている。アーキテクチャの章で述べたように、ヘテロマルチコアシステムへと向かう現在の産業トレンドは、原則としてシリコン CMOS プラットフォーム上に集積される新規デバイスを含む専用プロセッサと、より普遍的な汎用プロセッサが組み合わせられたハイブリッドシステムアーキテクチャのようなものを許容することになるだろう。

今日の CMOS デバイスの特性は、 I_{on}/I_{off} 比を最大化し、サブスレッシュホールドスロープを最小化するように、強い非線形性を持つ双安定応答関数を最適化している。これらの特性は、2値ロジック動作に非常に適しており、CMOS デバイスはおそらく2値ブール代数にうってつけのデバイスであると考えられる。しかし、研究されている代替デバイスのいくつかは、CMOS デバイスの物理と全く異なっており、CMOS デバイスの強い2値応答と全く異なる非線形応答を行う。例として(電圧または周波数に)ピークを持つ応答関数、二つ以上の安定領域を持つ応答関数、調整可能なスロープや曲率を持つ周期的な応答特性やシグモイド関数的な応答特性などがある。これらの応答関数のそれぞれが、何か“うってつけの”応用またはアルゴリズム的に向いた応用と結びつくかもしれない。そのようないくつかの応用はここで議論する予定である。

代替情報処理デバイスとして考慮すべき他のファクターは、将来の情報処理のいくつかは何らかの電荷以外の状態変数によって行われるということである。この情報処理は、光イメージ、イメージシーケンス、会話や物理センサーによって検出されるデータセットなどである。このデータや信号は通常アナログである。もしアナ

ログ信号の処理が汎用コンピュータで行われるなら、データ変換は情報処理コストの一部としてカウントされなければならない。これらのケースのいくつかにおいて、全ての信号をデジタル(すなわち 2 値の電気)表現に変換することなく、元々のアナログ表現のまま処理することにより、しかも汎用コンピュータを使うことにより、データの処理はもっと効率的になるだろう。そうでない場合でも、特にトータルパワーやエネルギーが強く制約されている時には、アナログ/デジタルのハイブリッドシステムは最適となるかもしれない。

Table ERD7b Alternative Information Processing Devices

	<i>Resonant Tunneling Diodes</i>	<i>Multi-ferroic Tunnel Junctions</i>	<i>Single Electron Transistors</i>	<i>Molecular Devices</i>	<i>Ferro-Magnetic Devices</i>	<i>Frequency Coherent Spin Devices</i>
<i>State Variable</i>	Charge	Dielectric and magnetic domain polarization	Charge	Molecular conformation	Ferromagnetic polarization	Precession frequency
<i>Response Function</i>	Negative differential resistance	Four resistive states	Staircase I/V from Coulomb blockade	Hysteretic	Nonlinear	Nonlinear
<i>Class—Example</i>	Mobile	Multi-ferroic tunnel junction	Voltage tunable transfer function	CMOL, cross bar latch	Amplifiers, buses, switches	Spin torque oscillator
<i>Architecture</i>		Heterogeneous	Morphic	Heterogeneous, morphic	MQCA, morphic	Morphic
<i>Application</i>		Elements in hybrid magneto electric circuits	Analog pattern matching	Associative processing , NP complete,	Elements in hybrid magneto-electric circuits	Microwave power, tunable rectifiers
<i>Comments</i>		Additional functionality	Density, functionality	Density, cost functionality	Radiation hard, environmental rugged	RF functionality
<i>Status</i>		Demo	Demo	Demo	Demo	Simulation
<i>Material Issues</i>			Stray charge			RT DMS

代替情報処理デバイス—表の欄の定義と議論

代替情報処理デバイス表へ登録されているデバイスは、高性能・汎用コンピュータ以外の様々な情報処理において有益であると証明される可能性がある新規デバイスを含んでいる。より特化した使い方は、連想処理、通信、多値論理や不揮発性、耐放射性、エラー許容性を持つ強磁性エレメントである。一般的に言って、これらはフォンノイマンアーキテクチャ以外の機能を発揮できる構造を必要とするかもしれない。役割または応用およびアーキテクチャ的な構成は、表の中に記入されており、Emerging Research Architecture 節の登録とリンクされている。

共鳴トンネル素子 *Resonant Tunnel Devices (RTD)*^{133, 134} — 共鳴トンネル素子は本質的に高速な素子であり、負性抵抗領域によって特徴づけられる負荷特性を持つことで広く認識されている。これまで RTD 構造を一般的なブール代数の論理ゲートに適用する試みは数多くなされてきたが、あまり成功していない。これらの試みは、通常 CMOS ゲートを持つペアの RTD を集積し、双安定動作を実現することと深くかかわっている。このような組み合わせは様々な回路構成でいくつもの異なる実装があり、2005 年版の ITRS の ERD の章による記述されている。

最近の研究では、共鳴トンネル・ダイオードの本質的な特性(高速、負性微分抵抗 **negative differential resistance (NDR)**)を奇抜な方法で採用することに焦点を当てている。自己配列した量子ドットと組み合わせられた共鳴トンネル・ダイオードは、CNN のコネクションパターンにおいて、エッジ検出、画像認識、ノイズ低減¹³⁵といった画像処理に有効に利用されている。基本的な論理セルの提案されている構造は、2つの共鳴トンネル・ダイオードが直列に量子ドットと結合しているものである。ナノセル間のローカルな結合は量子ドットを介したトンネルによって実現されている。

もし、2つの共鳴トンネル・ダイオードが直列接続されて、相反する極性を持っていれば、双安定点が存在し、双安定状態間のスイッチを実現することができる。これは、単一安定—双安定遷移による論理回路要素(MOBILE)となる¹³⁶。最近の研究¹³⁷では、MOBILE回路を超高速のAD変換に応用した例が示されている。MOBILEは高速(80Gb/s)の多値量子化器やモンテカルロ・シミュレーションに有用なカオス生成器へ応用されている。MOBILEのような構造を利用することは、一般的に多値閾値回路や多閾値論理ゲートに応用することが可能である¹³⁸。

共鳴トンネル・ダイオードに制御ゲートを設けることは、より広い応用への利用できる可能性を広げる。このようなアプローチは共鳴トンネル・トランジスタ **Resonant Tunneling Transistors (RTT)**¹³⁹を実現するのに利用されている。共鳴トンネル・トランジスタは負性トランスコンダクタンスを有し、負性トランスコンダクタンスは様々な論理回路、例えば XOR をたったの1個のトランジスタで実現する、に使用される可能性がある¹⁴⁰。

多くの最近の仕事では、スピン分極共鳴トンネル、これはスピントロニクスへの応用に有用である、を調べている^{141, 142, 143}。他の潜在的なニッチ応用は、共鳴トンネル・ダイオードを単一光子の検出を効率良く、低暗電流検出レートで行うことである¹⁴⁴。

全般的には、共鳴トンネル素子は、ブール論理ではないが高速であり、ダイナミックレンジが小さく、ピーク電流が少ない要求のある情報処理に有用である可能性がある。しかしながら、越えなくてはならない深刻な問題がある。1つは横方向にスケラブルであること、特に1ミクロンよりも十分に小さな領域まで縮小可能であることであるが、1ミクロンより小さな領域では電流—電圧特性が表面リークによって支配されてしまう。第2は精密な膜厚制御であり、要求値を満たすためには商業ベースの分子線エピタキシーを利用する必要があるかもしれない。

マルチフェロイック・トンネル接合 Multiferroic Tunnel Junctions (MFTJs)—強誘電材料は安定でスイッチ可能な電的分極特性、この特性は協同的な原子の移動によって引き起こされる。同様に、強磁性材料は安定でスイッチ可能な磁化特性、これは量子力学的な交換減少によって引き起こされる。この両方の特性を同時に示す“マルチフェロイック”材料というものはほとんどない。マルチフェロイック材料の部分的なものは、磁気特性と電気特性が結合した動的な“**magnetoelectric**”を示す。例えば、誘電方向の変化が強磁性特性を変化させたり、その逆だったりする。これらの材料はERMの章で議論されており、将来の磁気—電気融合回路で使用される大きな可能性がある。

マルチフェロイック特性に基づくデバイスの最初の実現は、マルチフェロイック・トンネル接合である¹⁴⁵。原理的には、ロジックの4状態を実現するために、電気分極と磁化を独立に制御し情報としてエンコードすることは可能である。直接の電气的読み出しは、マルチフェロイック材料がトンネル接合中の障壁材料として使われれば可能である。強誘電—強磁性材料の薄膜である $\text{La}_{0.1}\text{Bi}_{0.9}\text{MnO}_3$ (LBMO)、この材料は2nmに薄膜するまで両方のフェロイック特性を示す、が実証されている。この薄膜は、スピンのフィルタリングのトンネル障壁に利用され、磁化と分極は独立にスイッチされている。この場合には、構造を流れるトンネル電流は磁性と強誘電性の両方で制御され、明瞭な4つの抵抗状態を実現する¹⁴⁶。

4つの独立した状態をもつデバイスは、多値ロジック回路、特に4値ロジック回路で明らかに応用される可能性があるだろう。また、1つの素子に4ビットが貯えられる高密度記憶回路の記憶素子として使われる可能性がある。

単電子トランジスタ Single Electron Transistors (SETs) – 単電子トランジスタは、一般的なブール代数用の論理ゲートを構成するデバイスとして使用する場合、ノイズ耐性が低く、CMOSと比較してファンアウトが限定的であるという問題を抱えている。しかしながら、単電子トランジスタの非線形の電流－電圧特性は、ある種のアルゴリズムの計算要素として有効に利用される可能性があり、人間の認識機能を模倣した連想認識システムに応用される可能性もある。医療画像システムにおいて、特徴認識に応用されている画像認識法¹⁴⁷などはその好例である。

単電子トランジスタを、ゲート電圧で制御された3端子デバイスとして考えると、ゲート電圧に依存してピーク構造を示す電流－電圧特性を持つと考えられる、すなわち、あるゲート電圧で電流はピーク値を取る。もし、ピーク電流を与えるゲート電圧をテンプレート・ベクトルの要素を表すものであるとみなすと、ゲート電圧がある特定の電圧に一致するときに時に電流は最大値を取り、出力電流は入力電圧(ゲート電圧)がテンプレート要素にどれだけ近いかを表すことになる。したがって、N個の単電子トランジスタがそれぞれテンプレート要素を表すとすると、電流の総和が、テンプレート・ベクトルと入力ベクトルがどれだけ近いかをN次元で表すことになる。これが連想プロセッシングの基本構成要素である¹⁴⁸。デバイス密度が高く、パワー効率も高い単電子トランジスタは、このようなベクトル認識回路の大規模集積をワンチップで実現する可能性がある。パターン最大の相似検索は連想メモリ内において完全並列で行われるため、単電子トランジスタの本質的な低速度は大きな問題とならない。最大電流をもたらすマッチング回路と同一である勝者総取り Winer-Take-All(WTA)回路は簡単で一般的なCMOS回路で容易に実現できる。さらに、単電子トランジスタの低いノイズ耐性という問題も解決することができる。なぜなら、決定は多数決の原理でなされるからである。言い換えると、個々のデバイスにおける揺らぎは、多数決に基づく全体の決定に重大な影響を及ぼさない。

このような連想プロセッサを作製するには、ピーク電流を与えるゲート電圧の設計が重要であるが、これは単電子トランジスタにおいては容易ではない。このような問題は、単電子トランジスタの量子ドットとゲート電極の間に浮遊ゲートを設けることで解決することができる¹⁴⁹。ピーク電流を与えるゲート電圧は浮遊ゲート中の電荷によって制御することができ、電荷はトンネルやスイッチゲートを通した帯電/放電で制御することができる。

原理的な連想プロセッシング(赤、緑、青の組み合わせによる色の識別)は実験的に室温で動作する浮遊ゲートを有した単電子トランジスタによって実験的に実証されている¹⁵⁰。より高度な連想機能、例えば手書き文字認識や医療レントゲン写真解析などは、バンプ特性を示すCMOSを使ったアナログ回路で実証されている。

分子デバイス(Molecular Devices) – 分子デバイスとは、適当な刺激によって状態(物理構造または化学状態)が変化する個別の分子または分子グループであると言うことができる。しばしばこれらの遷移には、双安定ポテンシャルが介在する。これらの一方は熱力学的に安定であり、他方は二つの状態間のバリアによって動力学的に安定である。分子デバイスの意味のあるポテンシャルは、異なる特性を持つ分子を合成する能力、自己組織化能力(例えば、生体細胞と同じようにイオンチャンネルがその中に集積できる膜として振る舞う界面活性分子の二層膜)、超低消費電力、環境(例えば pH)を経由して可逆触媒反応を起こす能力、そして電気、光、化学的手段により状態変化を起こす能力を獲得できる程度に意味のある密度によって発生する。

化学的な刺激と比べれば光化学的刺激や電気化学的刺激は、より容易にそしてより高速に on 状態と off 状態間のスイッチを起こすことができる。

一般的なロジック機能は分子や高分子(マクロ分子)を使って考案されてきたが、他の応用もこの節では考えられている^{151, 152}。組み合わせロジックに関する分子スキームが同定され、ニューラルタイプスキームが構想された¹⁵³。スイッチングに加えて、分子のブラウン運動や付着がコンピューティングに用いられてきた。テストチューブの中で自己組織化を用いて計算ステップを行う DNA 分子による DNA コンピュータは、強力なコンピュータより十分に早く巡回セールスマン問題を解くことができる。

ソリューションベースのアプローチが考案され、人間を相手に Tic-Tac-Toe ゲーム(三目並べ)を行うことができる試作機が作られた¹⁵⁴。一般にソリューションベースコンピューティングは、ロジック関数をシミュレートする反応を起こし、出力が分光的に検出される化合物である。このシナリオにおいては、MAYA と呼ばれる分子オートマトンは、動作をシミュレートする well のセットの中で反応する特殊な deoxyribizome として、Tic-Tac-Toe ゲームボード上の全ての可能な状態をエンコードする。このオートマトンは 23 個の分子スケールロジックゲートを組み込んだ deoxyribozyme のブール代数ネットワークである。そして 9 個の well の中の構造的に活性な一つの deoxyribizome アレイが、ゲームボードに対応する。スピードを増加し、試薬量を減らすことを目的に、ナノ流体を用いてこのアプローチを実現するための多くの努力がはらわれている。

Molecular cascade¹⁵⁵は、物理化学とコンピュータアーキテクチャとの間のギャップに橋渡しをしようとしている。Temporal logic は、分子相互作用を特徴付け、ロジックゲートの動作を特定するために使用されている。Model-checking technique は、ロジックゲートと動作的に等価な構造を説明するために用いられる。組み合わせ論理ゲートの完全なライブラリーは、特定の分子システムを用いて設計された。

電気分子デバイスのもう一つのユニークな役割は、CMOL システムである。これは、CMOS の最も良い特徴と、ナノワイヤークロスバー構造の上に自己組織化された 2 端子分子デバイスの最も良い特徴を集積したシステムである。CMOL システムは、パターン認識などの先進情報処理を行うニューラルネットワークだけでなく、FPGA へ応用できる可能性もある。

分子デバイスの重要な開発課題は、電気的な刺激で動作する可能性を探ることと、反応や状態を観察することである。分子間の電気的な信号伝達はチャレンジングな目標である。いくつかのシステムにおいては、プロトンが伝達信号として用いられている。光信号伝達もまた研究されている。分子ワイヤーとデバイス間のトンネル伝搬も活発に研究されており、有望かもしれない。現在、分光学的解析が分子状態を同定する方法の一つとして注目されている。

強磁性デバイス(Ferromagnetic Devices)— 状態変数として強磁性ナノ領域の磁気分極を用いる動機の一つは、それぞれのスピンのスピンのお互いに協調して動作することと、単一自由度を持つことである¹⁵⁶。その結果、ノイズ感度を落とし、スイッチエネルギーを減少できる可能性がある。集団で操作される電荷キャリアグループの集団としての強磁性的振る舞いに根ざした興味ある技術である。しかし、そのような集団としての強磁性システムからもたらされるスケールリング上のペナルティを持つ恐れがある。これに対して、次の節では一個もしくは数個の電荷キャリアを操作するデバイス、特にスピントルク移動によって誘起される磁氣的歳差運動を操作するデバイスについて述べる。

状態変数として強磁性ナノ領域の磁気分極を利用する将来の情報処理技術はどれでも、注入、移送、操作、保持、増幅、そしてこれらの強磁性状態間のインターフェースを必要とするであろう。強磁性を使って処理を行うデバイスのもっと大きな括りは、強磁性の出現から始まる。これらのデバイスの機能は色々あるが、増

幅、スイッチング、伝達という三つの大きなカテゴリにまとめることができる。これらのいくつかはこのセッションで議論したい。

磁気アンプは 1940 年代に開発され、極限条件において高い信頼性を持つと考えられた。この増幅は、このデバイスに使われている可飽和磁気材料¹⁵⁷の非線形特性を用いており、AC パワーゲインは、DC バイアス磁場からパワーを引き出すことにより達成されている。もっと最近では、パワーゲインを引き出す同じような方法によって、磁気量子ドットアレイが供給されるクロック磁場からパワーを引き出す可能性が示されている¹⁵⁸。

磁気信号を増幅もしくは回復するために設計された磁気アンプは、Mn:GaAs¹⁵⁹および Mn:Ge¹⁶⁰が提案された。希薄磁気半導体 (DMS) チャンネルにおける電荷密度変調によってバイポーラー的ヘテロ構造の中で自発的強磁性転移をトリガーすることによって、これらのデバイスは動作する。将来の磁気回路における開発目標は、どのような物理システムにおいても存在するロスに打ち勝って磁気状態を回復することである。残念ながら、このデバイスの実験的実証を実現できるだけの製造技術はまだ確立されていない¹⁶¹。

電子電流なしでコヒーレントスピン波が伝達するスピン伝達構造は、設計、シミュレーション、試作が行われ、動作が測定されている¹⁶²。信号は Fe 強磁性膜中で励起され、伝達された。その伝達長は周波数および印可磁場の関数として測定された。数 GHz の周波数を持つ強磁性スピン波が明確に検出された。

非対称ナノリング構造の磁気スイッチが設計され、テストされた¹⁶³。これらはナノマグネットにおける交換エネルギーと静磁気エネルギーの間の競合に基づくものである。励起された異なる磁気モード間の相対確率、つまり対称ナノリングにおける相互作用エネルギーは、リング形状によって決定しており、製造後に変更することはできない。しかし、非対称ナノリングは電氣的に非対称性を調整することができ、相互作用を変調するゲートとして働くことができる。

Self check-pointing architecture¹⁶⁴は、ロジックと緊密に集積した高性能・不揮発記憶が実現できる強磁性エレメントと半導体構造の結合したハイブリッドホール効果デバイスとして提案された。提案されたマイクロプロセッサは、現在実行しているプログラムの状態を通常のインターバルで写し取る (snapshot) ために磁気電子デバイスを使用している。これにより、停電に対する防御を行い、急激なコンテキストスイッチングが可能となる。この節で述べたものと同じような新規強磁性デバイスは、強磁性材料における集団磁気効果を基にした有望な磁気技術に向けて重要なステップとなっている。

周波数コヒーレントスピンデバイス(Frequency Coherent Spin Device) — 磁気多層構造の電流駆動励磁¹⁶⁵が予言された 1996 年以来、層状の磁気構造においていくつかの基礎的な特性が発見され、励起物理に関する優れた研究が生み出された。この点において、最も顕著な現象は、非磁性金属層によって隔てられた磁性層間の反強磁性交換結合、関連する巨大磁気抵抗効果 (交換結合の振動的な振る舞い)、絶縁膜で隔てられた強磁性金属の電子トンネル現象である¹⁶⁶。いくつかの研究グループが、ナノ共振器とナノ発信器の新しい分野を作るために、これらの現象に含まれる非線形相互作用の詳細の理解と利用に関する研究を進めている。これらには、スピバルブ、磁気トンネル接合 (MTJs)、スピントルク発信器、チューナブル磁気整流器が含まれる。

基礎的な発見は、スピン分極電子電流は、外部磁場の必要無しにスピン角運動量の直接転移を介して強磁性体に大きなトルクを与えることができるということであった。メカニカルな動きは何もないにもかかわらず、単純な磁気多層構造がナノスケールのモーターのように振る舞うのである。すなわち、DC 電流を高周波の

磁気回転に変換するのである。この現象は、高周波電源や共振器を含む新しいデバイスに展開できる可能性がある。高周波放射¹⁶⁷の最初の直接観測は、引き続き理論やモデル¹⁶⁸で説明がなされた磁気構造におけるコヒーレントおよびインコヒーレントな高周波源の存在を示唆するものであった。最近の研究で個々の共振器の自発的なフェイズロックが示された。これらの共振器は、一個の単純なナノスケールのデバイス¹⁶⁹から直接有益な量の高周波パワー(1 μ W オーダー)生み出す力を秘めている。特定の磁気モードを励起するためのナノ構造の形を変えることによって、利用する特定の電流パルスもしくは高周波特性に対してデバイスを最適化することができる¹⁷⁰。

スピントルク駆動発信器に付け加えると、多くの研究がスピントルクメモリーのスイッチエレメントに使うために MTJs¹⁷¹に対して行われた。これらは機能性に関する巨大磁気抵抗効果や自由層の分極を操作するためのスピントルク結合に関するものであった。磁気抵抗変化は 500%まで観測されたが、比較的大きな駆動電流がこれらのデバイスを磁気メモリとしてフルスケールに集積した場合の問題点として残っている¹⁷²。しかし、一つの周波数を持つコンポーネントを選ぶチューナブル RF 整流器などの他のスピントルクデバイスが、提案され、試作されている。人工的な磁気レーヤーナノ構造におけるスピントルク結合が、特定の磁気モードおよびそれらのモード間の自発的、コヒーレント、非線形な結合を励起する。これらのナノデバイスの新しい分野は、磁気レーヤー構造におけるスピントルク結合に豊富さと複雑さを与えるものと予想できる。

新探究アーキテクチャ

はじめに

情報処理プロセッサのアーキテクチャは、デバイスの集積度とパフォーマンスにより決まる。新しい能動デバイスを導入すると、アーキテクチャはより複雑になる。例えば、機能しないデバイスの割合が増えて、エラー訂正処理が必要になる。新探究アーキテクチャのワーキンググループの使命は、デバイスとアーキテクチャのトレンドを調査し、アーキテクチャの選択基準を明らかにし、他のアプローチとの比較基準を作成することである。

この章で考えるアーキテクチャとは、結合されたデバイス(デバイスに埋め込まれた計算要素を含む)のチップ上の機能的な配置のことをいう。我々は特に、特殊用途向けのアーキテクチャや、独自機能を生み出す「CMOS 以外の新しいデバイス」に興味がある。それらのデバイスは、多くの汎用演算機能や実装に必要な入出力機能を実行する CMOS と一緒に実装可能であることを、我々は暗に仮定する。

CMOS「メニーコア」アーキテクチャのトレンド

多くの CMOS アーキテクチャの予測傾向は本ロードマップのシステムドライバーの章に記述されている。ここではその議論は繰り返さないが、以下のことは言うておかねばならない: CMOS は、まだ消費しつくされていない新アプリケーションのための豊かな土壌を提供する。例えば、CMOS メニーコア(対象/非対称)のアーキテクチャは、確立された産業トレンドである。ハイエンドのマイクロプロセッサのアーキテクチャは、マルチコア形式に移動している。デュアルコア製品は現在商品化されており、クアッドコアチップも市場に投入された。近年、80 コアの試験チップも紹介された¹⁷³。現在、幾つかの企業がマルチコア的なデバイスを生産している。それらは次世代 FPGA と呼ばれ、オブジェクト(単純なマイクロプロセッサやメモリなどの補助オブジェクト)の配列からなる FPOA(Field Programmable Object Arrays)技術を用いている¹⁷⁴。同様に、多くの ASIC や埋め込み SoC もマルチコアの形式をとっている。それらの「メニーコア」アーキテクチャは、チップ上のデバイスを均等に使うと同時に、温度管理や信頼性の問題を軽減しながら、スケラブル CMOS により得られた複雑性(高密度集積化)を利用している。シングルコアのプロセッサと比較して、要素プロセッサ(コア)をより

多く追加することで、パフォーマンスをおそらく一桁改善できるだけの余裕があると見積もられている¹⁷⁵。難しい問題は、一般の計算問題に対するアルゴリズム的な優位性を増やすために、この「メニーコア」の能力をうまく利用することである。最後に、CMOS 技術は、メモリシステムや、ローパワー応用における電源、撮像、IC タグ、その他多くのイノベーションのための独立した機会を提供する。

「メニーコア」アーキテクチャは、アプリケーションに応じて、固定もしくは可変のコア間配線システムを必要とする。可変配線は、スイッチングファブリックにより実装される。スイッチングファブリックとは、送受信インターフェース間の大量のトラフィック交換を実現する機構である。コア間配線システムのパフォーマンスは、アーキテクチャの選択を促す。例えば、局所同期 (Globally Asynchronous, Locally Synchronous: GALS) アーキテクチャは、局所プロセッサ間の同期動作を維持することで、クロックやデータのコア間配線の遅延に対処する。スイッチングファブリックのために、これまで様々なスイッチングシステムおよび関連するコントローラが提案されてきた。ここでも新探素デバイスを利用する機会がある。

「ヘテロマルチコア」アーキテクチャ

新探素デバイスにより可能となる計算構造をどうやって特徴づけるか？ 現在の一連の新探素ロジックデバイスは、汎用計算能力の向上を目指しているようには見えない^{176, 177}。一つのシナリオは、CMOS で実行できる幾つかの計算要素を新探素デバイスで置き換えることである。ただし、これは新探素デバイスの実装が安価にできる、あるいは演算パフォーマンスの向上が見込まれる場合に限られる。多くのケースでは、新探素デバイスは CMOS によって補助される必要があるだろう。例えば、I/O や古典的な計算ユニットとのインターフェースなどは CMOS によって実装するほうが効率的である。

このようなハイブリッド技術の一例が、CMOL (CMOS チップ上に単一分子からなるナノグリッドを実装したもの) である¹⁷⁸。これらのナノグリッドは自己組織化により形成され、多かれ少なかれ、CMOS とナノグリッドの間にコンタクトを形成する。CMOS は電流駆動、信号のレストア、外部とのコミュニケーションに用いられる。この分子グリッドを超高密度なプログラマブル配線として用いれば、基本 CMOS 回路の機能を拡張できるだろう。

分子クロスバーアーキテクチャは、CMOS と分子エレクトロニクスのハイブリッドチップに関する別のアプローチである。現在はまだ開発段階だが、分子スイッチとナノ配線相互接続技術は、PLA (プログラマブルロジック配列) を用いることにより、理論的には少なくとも現在の10倍以上の集積度 (10^{11} bits/cm²) が達成できる¹⁷⁹。

クロスバーアーキテクチャの基本演算構造は、パラメータにより決められたメモリタイルの配置で決まる。メモリタイルは、高密度ナノ配線クロスバーの配列と、CMOS マルチプレクサ/デマルチプレクサ、欠損や故障耐性のための CMOS 組み合わせ論理回路からなる。欠損のあるデバイスを用いてロバストな PLA アーキテクチャを達成するために、プロテクトコードや、欠損耐性を持つデコーダ、再構成可能なスイッチなどが用いられる。

分子エレクトロニクスの進展にも関わらず、現在提案されているアーキテクチャの問題点は、ナノワイヤの高い配線抵抗および接合抵抗である。これは大きな RC 時定数を生み、現在見積もられている最大の動作周波数はおよそ 1 GHz である。高密度ナノクロスバーはいくつかの利点を生み出すが、上記の速度制限は見落とせず、スケラブル CMOS 技術と競合できるような改良が必要である。言い換えれば、分子スケールの並列計算によりどれだけのパフォーマンス向上が見込まれるか、ということが重要になる。よって、並列化を十分にサポートするアーキテクチャと、基本的に並列であるアプリケーションに焦点を絞る必要がある。

32 新探究素子(ERD, Emerging Research Devices)

解決すべきアーキテクチャ上の問題は多いにも関わらず、現在のハイエンド／ローエンドプロセッサはマルチプロセッサ的な構造をとっている。一般的には、それらは少量の局所メモリと独立したプロセッサ、およびチップ上の相互結合を持つ。ハイエンドチップは同種のコアを使うが、回路の最下層では様々なモジュールがヘテロ的に追加されている。これは、アプリケーションに特化した計算に用いられる。よって、結果的にはハイエンドチップもアプリケーションや機能に特化したヘテロコアを含んでいる。

ヘテロ／マルチコアアーキテクチャへの移行は、新技術に基づく(例えば新探究デバイスを用いた)ヘテロコアを徐々に取り込むための便利なプラットフォームを提供する。これらのコアは特殊な機能を実行するものだが、CMOS のみの特殊用途向けプロセッサよりも、コストパフォーマンスははるかに良いだろう。

このような観点から考えると、新探究デバイスの用途分析／予想がより単純明快になり、同時に進めるべき必要なアーキテクチャ研究が明確になる。この枠組みのなかで、新探究デバイスは次の基準から評価されるべきである：

- ・有用性(新探究デバイスによるプロセッサが役に立つ機能を持つか?)
- ・コストパフォーマンス(新探究デバイスにとり、どれだけコストパフォーマンスが向上するか? コスト: デバイス作製と消費電力, パフォーマンス: 速度と能力)
- ・コア性(マルチコア NoC(ネットワーク on チップ)プラットフォームの中で、特殊用途向けとして構成可能か?)
- ・アクセス性(新探究デバイス構成のインターフェースが既存の CMOS I/O インターフェースと容易に接続可能か?)

このアプローチの別の重要な利点は、現在のコンピュータアーキテクチャ研究の重要なイニシアチブである RAMP (Research Accelerator for Multiple Processors) と融合可能なことである。RAMP は、標準化 FPGA 環境を用いたマルチプロセッサ計算機アーキテクチャに関する研究プロジェクトであり、複数の大学の相互協力により研究が行われている¹⁸⁰。

多くの複雑なアーキテクチャ上の問題が残っているが、その中で最大の問題はその利用モデルである。幾つかのアプリケーションは、並列マシン上にうまくマップでき、それらは自動／半自動タスク分割および配置ソフトウェアの恩恵を受けられる。しかし、汎用プログラムを自動で高度に並列化する方法はない。並列化の恩恵を受けるアルゴリズムの開発は、クロック周波数の増加やパイプラインの多段化よりもはるかに難しい¹⁸¹。いくつかの新探究ロジックデバイス(ERD ロジックの章を参照)を用いることで、ヘテロアーキテクチャの機能は拡張されるかもしれない。たとえば、チェックポイント アーキテクチャは強誘電体ロジックデバイスにより実装可能である。強誘電体デバイスは不揮発であり、突然の電源故障によって計算状態は失われない。

モーフィック計算アーキテクチャ

「モーフィック」という言葉は、特殊な形状や形態を意味するものである。これは通常、接尾語として用いられる。たとえば、ニューロ-モーフィックは、脳のニューロン(神経細胞)およびそのネットワークを模する構造を持つものを意味する。この章では、生物や計算科学のパラダイムから影響を受けた、特殊な問題に効果的に適応するアーキテクチャを「モーフィック」と呼ぶ。この構造は、新しいデバイスの応用／利用に対して特に有用である。また、CMOS 技術の応用においても有用である。ただしこの章では、モーフィック-センサとトランスデューサについては扱わない(それらは古典的なものであり ITRS の主眼から外れるため)。これらの技術は重要なものであるが、新探究デバイスのスコープには含まれないと我々は認識している。

一般則として、モーフィックアーキテクチャは、i) 物理ドメインのデータを電気信号に変換する、ii) それらの信号の雑音を取り除くためにフィルタをかける、iii) フィルタ後の信号から特徴を抽出する、iv) 特徴抽出され

たデータの判別を行う、v) データを保存し外部とコミュニケーションするなどの能力を持つ。それらの各段階で、CMOSからは絶対に得られない演算要素を利用する機会がある。

デバイス固有の物理現象を演算に利用すると、非常に効率的な信号処理が可能になる¹⁸²。具体的には、アナログコンピューティングの基底関数(受動/能動半導体デバイスを組み合わせた物理関係/回路から得られる関数)を、必要とされる情報処理問題に直接あてはめることで、フィルタリング、フーリエ変換、特徴抽出、圧縮、算術加算、算術減算、その他の演算を効率的に行える。この形の演算は、低精度のアナログ計算には最も効果的である。ただしこれは、アナログ計算のコストと、AD変換、通信、デジタル後処理、消費電力などのコストを天秤にかけ、アナログ計算の優位性が示せたときに限る。この、アナログ-デジタル計算のコストバランスが、生物に学んだハイブリッドコンピュータの創造の根源となる。たとえば、アナログシステムに固有な雑音積算の効果を、デジタル要素をもちいて周期的にリストアする¹⁸³などのハイブリッド処理が考えられる。また、アナログ値そのものではなく、データをパルス(密度/タイミング)で表わした場合、雑音に対してロバストな演算システムを構築可能である¹⁸⁴。

生物に学んだハイブリッド演算—生物に学んだハイブリッド演算は、視覚/聴覚情報処理に向いているようだ。脳は1300億個以上の神経細胞と1~10千兆個のシナプスが密に相互接続された情報処理プロセッサである¹⁸⁵。脳は、以下の三つの主要な特徴を持つ: a) 情報処理アーキテクチャを適応的に変化させる, b) 時空間メモリを持つ, c) 連想機能を持つ。脳の可塑性/適合性とは、経験を通じて学習した情報を埋め込む、つまり脳の構造や内部接続を変化させることである。皮質ニューロンは、神経処理に論理ゲート構造のみではなく、時空間パターンを処理する構造を用いている。神経情報処理は、粗結合、結合の選択性、階層ネットワーク接続などを利用する。また、脳の局所演算は、確率的 Bayesian(ベイズ)推定アプローチを利用している、という報告もある¹⁸⁶。

知的システムは、基本的には局所結合された階層的ベイズモジュールからなるとの仮説がある。これは、局所(疎)構造を持つシステムの一般的な特徴である。この階層構造により、高次の確率構造を効率的に取り込むことが可能になり、それらの確率間を効率的に関連付けることも可能となる。さらにこれは、大規模なセンサレイ、制御、知的計算問題に応用可能という意味で、汎用の機能性を持つ¹⁸⁷。

脳内の神経接続は、過去の確率構造を埋め込むために生まれる。大脳皮質視覚野の場合、空間の自己相関の規則正しさや、準線形性、準循環性が、神経間の結合に埋め込まれる。システムは、統計的に最適な確率(信号により発生した刺激や、それによって生ずる運動の制御)を計算するために、この過去の確率に基づく情報を利用する。このようにして、システムは過去の記憶を利用し予測する(これが「記憶予想」の意味である)。近年の、運動神経科学や視覚心理物理学は、システムの動作は記憶予想なしでは説明できない、と強く主張している。脳型コンピュータに関する別のリサーチでは、連想記憶プロセッサ(AMP)におけるナノデバイスの機会が検討されている¹⁸⁸。AMPアーキテクチャは、フローティングゲート電界効果トランジスタ(FG-FET)または単電子トランジスタ(SET)により実装できる。生物に学んだ別の実装では、多入出力デバイスが有用であろう。たとえば、多重強制的トンネルダイオード(MFTD)やピンゲイントランジスタなど(ERD ロジック章の参照)が挙げられる。

セルラー非線形ネットワーク(CNN)—セルラー非線形ネットワーク(CNN)は一つの計算構造である。信号処理などのアプリケーションにおいては、パフォーマンスと消費電力の面で、デジタル情報処理システムよりも優れている¹⁸⁹。CNNは、典型的には要素プロセッサを局所結合した配列により構成され、計算問題に応じてその接続構成を変える。CNNの要素プロセッサはアナログ/デジタル領域で動作し、幾つかの連続可変

34 新探究素子(ERD, Emerging Research Devices)

パラメータにより特徴付けられる。CNN は演算を繰り返すことで情報を処理する(CNN に初期入力を与え、得られた結果を入力として再度 CNN に与える、等)。また、ある種の CNN は要素プロセッサとともにセンサを持つ。これは、画像処理／認識のアプリケーションで用いられる。その一つの例が、アナログ-デジタル混載技術を使うセンサ波計算アーキテクチャである。このアーキテクチャはセンサアレイを含み、個々のセンサは局所プログラマブルプロセッサを持つ。これらのシステムは、現在のコンピュータシステムよりも優れたパフォーマンス／消費電力を示すだろう¹⁹⁰。CNN は、典型的にはフロントエンドで特徴抽出などに用いられる(バックエンドの知識処理は別のシステムが行う)。

新探究デバイスが利用される可能性のあるアーキテクチャ

この章では、研究機関により提案された情報処理のための幾つかの新探究デバイスについて考える。CMOS プラットフォーム上の情報処理アプリケーションの中で、新探究デバイスはどのようにして有益に使われるのか？ それらのデバイスの動作特性はまだ固定化されていないため、これは難しい問いである。表 67 に、新探究デバイスが利用できる可能性のあるアーキテクチャを示す。いずれのアーキテクチャも、新探究デバイスを埋め込むことで、CMOS を超えるパフォーマンスを示す、と予測されるものである。

Table ERD8 Emerging Research Architectures

Architecture	Implementation	Computational Elements	Network	Application	Research Activity [D]
Homogeneous Many-Core	Symmetric cores	CMOS	Irregular/Fixed	Synthesis/GPP [A]	158
Heterogeneous	Asymmetric cores	CMOS	Irregular/Fixed	Synthesis/GPP	
	CMOL	CMOS+molecular switches	Irregular/Fixed	Synthesis/GPP	12
	Molecular cross-bar	Molecular switches	Regular/Flexible	Synthesis/GPP	23
	Check-point	CMOS+ferromagnetic logic	Irregular/Fixed	Synthesis/GPP	3
Morphic	CNN	CMOS+sensors	Regular/Flexible	Recognition/Vision [B]	84
	AMP	FG-FET, SET	Irregular/Fixed	Recognition/Vision	11
	Bio-inspired	MFTD, Spin-gain transistor	Mixed	Recognition Mining [C] Synthesis	35[E]

CMOL—Molecule on CMOS Architecture CNN—Cellular Nonlinear Network AMP—Associative Memory Processor
 FG-FET—Floating Gate Field Effect Transistor GPP—general purpose processor SET—Single Electron Transistor
 MFTD—Multiferroic Tunnel Diode

Notes for Table ERD8:

[A] Synthesis—The ability to explore new scenarios by constructing new instances of a model.

[B] Recognition—Machine learning techniques that examine data and construct models for the data.

[C] Mining—The capability to find a model in a large volume of data.

[D] The number of refereed articles in technical journals that appeared in the Science Citation Index Database from July 1, 2005–July 1, 2007.

[E] Not including CNN and AMP.

表 ERD8 は、様々な新探究デバイスと CMOS との融合によるアプリケーションの可能性を示す。ここで挙げられている三つのアーキテクチャクラス(同一のマルチコア、ヘテロマルチコア、モーフィック)の相対パフォーマンスを考えることは重要である。デジタル同一コアシステムのアプローチ的な進展は、汎用プログラミング環境の開発を待たなければならないようだ。またその技術進展は、メモリ管理とアクセス問題により制限されるようだ。パフォーマンスの増加に関する最も楽観的な予想は、パフォーマンスがプロセッサ数に比例する、ということである。

ヘテロコアアーキテクチャは、特殊なプロセッサとオンチップメモリ(例えば、デジタル信号処理、線形代数プロセッサ、I/O プロセッサ、アクセラレータなど)を万能プロセッサと組み合わせて利用する。桁違いのパフォーマンス向上は、埋め込まれた特殊用途プロセッサと直接的に提携するアプリケーションでなければ達成できない。

モーフィックアーキテクチャは、広範囲の混合信号システムに利用可能である。たとえば、特定の問題に焦点をあてたものや、アプリケーションからアーキテクチャ構造の発想を描くものが挙げられる。いくつかのケースでは、処理はアナログ計算により行われ、(精度は犠牲になるが)桁外れのパフォーマンス向上と低消費電力を達成できる。また別の回路(パターン認識)の例では、アナログ/デジタル混在実装により、デジタルで実装されたものと比較してパフォーマンスが大幅に向上している。

新探究メモリ・論理デバイス—重要な評価

序論

ナノスケールデバイスが将来の情報処理や通信技術用途に適合するかどうかは現在のところ明らかではないが、そのようなデバイスがもたらすであろうテラスケールの集積化の利点を享受できる用途が数多くあることは間違いない。前節で議論したとおり、これらのデバイスは広範な製造方法や新機能性を生み出すであろう。本章のロジック・アーキテクチャの節で示唆した様に、まずはこれらの新探究デバイスは CMOS と統合して成熟した CMOS プラットフォームを補完する形で新しい応用範囲を広げていくかも知れない。例えば、ある新デバイスの端子の特性がそのデバイスの物理によって支配される事を考えると、たぶんアクセラレータ・ブロックとしての機能を提供し、それによって複雑なデジタル・ブロックを置き換え、相当な電力消費・性能・集積度における利得を実現すると考えられる。

逆に言えば、ナノスケールデバイスにはかなりの制約が生じる事になり、それが有用性にも影響する。特に、ナノスケールデバイスは短期的にはシリコン CMOS と機能的にも技術的にも互換性が必要となる。長期的には、電荷を用いるナノデバイスの働きは、新しい「計算状態変数 (computational state variable)」ロジックや情報のユニット(ビット)を表す新手法などを用いた新しい情報処理技術によって補完されるかも知れない。おそらく、さらに長期的には新しい情報処理技術は支配的な技術となり、ついにはプラットフォームとして CMOS を置き換えるであろう。

この節の目的は、全般的な技術の要求項目と評価あるいは妥当性基準を導入し、次にこの基準に基づいて、この章で述べた新探究技術が、1) CMOS を最終的に置き換え、高集積性、高性能、低電力性を有するブール論理デバイスとなりえるか、あるいは 2) ハーフピッチ 22 nm 以降にも対応できる揮発性あるいは不揮発性のメモリあるいはストレージ技術、となりえるかを評価することである。ここでの議論は、半導体産業が現在取り組んでいる高集積化・高性能化によって究極的に到達した CMOS ロジックやメモリデバイスを置き換える新探究デバイス (メモリとロジック) 技術の長期的なポテンシャルの評価に過ぎない。ここでは、この評価方法によって (別な評価方法によってでも) CMOS 補完・CMOS 置換のための新探究デバイス技術のポテンシャルを判定することを意図していない。

新しいデバイスや情報処理技術の長期的なポテンシャルの評価はどう考えても極めて難しいが、しかしながらその意義やつりあいの取れた判断は大事な事である。限られたリソースを効果的に配分するためには、半導体産業や研究コミュニティが新しいデバイス技術の長期的なポテンシャルや、究極的にスケールされた CMOS や関連するメモリ技術が持つであろう性能と比較した場合の優位性を考慮できるようにする必要がある。ここでの意図は現在の新探究デバイス技術に対して素地となり客観性を持つベンチマークを提供する事にある。

加えて、電荷に基づくデバイスについては、データ表現法や「計算状態変数」といった新しい技術の観点から、この節の中で別に議論を行う。この別の議論では、新しい電荷ベース情報処理における基本的なスイッチの原理的な限界(サイズ、エネルギー、スピードなど)という重要な疑問について議論する。

CMOS を越える技術

技術要求と妥当性基準

[A] Scalability (スケーラビリティ) — まず始めに新しい情報処理技術に開発投資する主たる動機を確認すると、情報処理機能密度をスケーリングし、そして究極に集積化された CMOS が実質的に達成できるジュールあたりの処理能力を超えるような新しい領域を利用することにある。シリコンベースの CMOS は MOSFET 密度において数桁のスケーリングをもたらした。新しい情報処理技術の目標は、新たな技術を使って、機能と情報処理能力のさらなる数桁のスケーリングをもたらす、CMOS での成功を再現することである。言い換えると、提案された技術によってさらに数十年間ムーアの法則を言い続けられることである。

[B] Performance (性能) — 将来の性能指標は現在の性能指標と非常に似ているであろう。すなわち、コスト、サイズ、速度である。将来の情報処理技術は、究極的にスケールされた CMOS 技術によって得られる性能を越えて（少なくとも）持続的に向上し続けなければならない。つけ加えれば、ロジックとメモリの機能を兼ね備えたナノデバイスは回路とナノアーキテクチャのインプリメンテーションを革命的に変えるだろう。

[C] Energy Efficiency (エネルギー効率) — いかなるポスト CMOS デバイスにおいても、状態変数として電荷または電流を用いている限りエネルギー効率が限界要因となるであろう。また、代替の状態変数の実用性を議論する場合でも、エネルギー効率は最も重要な評価基準となるであろう。電子伝導デバイスにおけるクロックスピードと集積密度のトレードオフにより、将来的に高密度システムではクロックスピードを下げるか、逆に高速クロックシステムでは密度を下げなければならなくなるであろう。ナノスケールの電子伝導デバイスではスイッチング速度を速めるより並列処理を有効に利用する方が重要であると考えられる。

[D1] OFF/ON or “1/0” Ratio (Memory Devices) [ON/OFF または 1/0 比(メモリデバイス)] — メモリデバイスの ON/OFF 比は、メモリ記憶素子の、OFF 状態でのアクセス抵抗と、ON 状態でのアクセス抵抗の比である。不揮発性メモリに関しては、ON/OFF 比は、非選択メモリセルのリーク電流と選択セルの読み出し電流との比で表すことができる。この定義は、選択型デバイスである限り新メモリ技術にも当てはまるであろう。クロスポイントメモリ (cross-point memories) では、消費電力を最小にするために、また、適切な読み出し信号のマージンを維持するために、非常に大きな ON/OFF 比が必要である。

[D2] Gain (Logic Devices) [ゲイン(ロジックデバイス)] — ナノデバイスのゲインは、ゲートのファンアウトが大きな電流駆動力を必要とし低電圧で雑音に弱くなっているロジック回路においては、重要な制限要因である。情報処理にこれらのナノデバイスを用いるには、新しいロジックやファンアウトの小さいメモリなどのアプローチが必要である。大きな回路では、信号の再生のため CMOS との集積化が必要である。短期的に、ナノデバイスと CMOS の集積化が必要な理由は、多くのロジック回路における信号の再生に加えて、確立された技術および市場である。この集積化の必要性は、設計ツール、回路からプロセス技術まで全ての領域に及ぶ。

[E] Operational Reliability (動作信頼性) — 動作信頼性とは、メモリ及びロジックデバイスが、動作仕様で与えられた動作エラー許容値内で動作する能力のことである。すべてのナノスケールデバイスと回路において、エラー率は重要な問題である。エラーの原因は、デバイス作製時のサイズ揺らぎ、および SET における背景電荷のような局所的な周囲環境との干渉である。ナノスケールデバイスを用いるアーキテクチャはいかなる場合でも、大規模なエラー検出およびエラー訂正スキームが必要である。

[F] Operational Temperature (動作温度) — 実際の応用では、ナノデバイスは室温かまたはそれに近い温度で動作可能であることが必須であり、さらに高温 (例えば 100°C) における動作を十分に許容できるデバイス構造でなければならない。

[G] CMOS Technological Compatibility (CMOS の技術的な互換性) — 半導体産業は、過去 40 年にわたって、性能向上達成をデバイス集積の大規模化に頼ってきた。大規模化によって利益を得るという原則により、半導体業界では、将来の商品に過去の技術投資を丸ごと使うということが許されている。どんな代替技術でも最終的には、過去の技術基盤への巨額な投資を最大限利用することが求められる。

[H] CMOS Architectural Compatibility (CMOS のアーキテクチャ的な互換性) — CMOS 技術互換性を高めることへの意欲、つまり既存のインフラを活用する意欲が、CMOS アーキテクチャとの互換を必要とする意欲となる。アーキテクチャの互換性は、代替技術が利用するロジックシステムとデータ表記法の観点から定義

される。CMOS はブール論理関数とバイナリーデータ表記法を利用しているため、代替技術も同様の方法を利用することが理想的である。

電荷ベースのナノスケールデバイス

電荷ベースの新探究ナノエレクトロニクススイッチに関して明らかにすべき重要課題は、これらの新デバイスの原理的なスケール限界と、スケール終焉時の CMOS 技術との比較である。2007 年の ITRS では、CMOS のスケールが 2022 年時点までには 11 nm ノードに至ると予測している。このノード世代では MPU/ASIC デバイスの物理的ゲート長は約 5 nm であり、平均の消費電力は約 100 W/cm² である。最近の解析によれば¹⁹¹、電荷ベースのデバイスの原理的なスケール限界は、2022 年の CMOS MOSFET のゲート長の 1/3 である。しかも、これらのスイッチデバイスの密度は、そのサイズで制限されるのではなく、約 100 W/cm² という最大許容消費電力で制限される。この研究の結論は、サイズと消費電力の点で限界までスケールされた MOSFET 技術は、電荷ベースデバイスの理論的スケール限界にも近いということである。したがって、1D 構造(ナノワイヤやナノチューブ)のような新探究電荷ベースロジック技術は、シリコンチャネルの代替技術として期待できる。言い換えると、新規デバイス構造を電荷ベーススイッチとして利用して、全く新しいバイナリースイッチ、メモリ、(ローカルおよびグローバルの)インターコネクトなどの情報処理技術を開発することは、サイズと消費電力の観点から最大でも高々 3 倍程度のスケールしか達成できないことを考えると無駄なことである。この結論は、デバイス密度がスイッチのサイズではなく消費電力で制限されることを考慮すると極めてリーズナブルである。この議論から結論づけられることは、新しいロジックデバイスの探究には電荷ベースではなく状態変数などの概念が必要であるということである。

新規コンピュータ状態変数ナノスケールデバイス

本文において、「コンピュータ状態変数」という用語は、1930 年代にチューリングが導入した有限状態機械の概念に基づいている。これは、コンピュータの情報やロジックの状態を表したり、処理したり、記憶したりするためには、数多くの手法があるという考えである。最も初期の有限状態記憶デバイスの例は、そろばんである。そろばんは、数字の情報を、一連の数珠で表している。この例では、コンピュータ状態変数は、単に物理的な位置であり、そろばんを見ることで情報を読み出すことができる。オペレーターの指はデータ処理のために物理的に数珠を動かす。初期のコアメモリは、情報を記憶するために、磁気双極子の配向を利用している。同様に、紙テープやパンチカードもまた、コンピュータの変数の状態を記憶するために、穴の有無を利用している。可能性のある新しいコンピュータ状態変数には、磁気双極子(例えば、電子や核のスピン状態)、分子状態、相状態、強相関電子状態、量子ドット、フォトンの分極などが含まれる。問題は、それらの物理的な作用を有する新規のコンピュータ状態変数が、過去 40 年に渡って CMOS がもたらしてきたと同様の集積度、速度、消費電力という観点で、次の 10 年間にも同様の情報処理技術となり得るかどうかである。これこそが、本章(Critical Assessment)で取り組まれる課題である。

メモリとロジックデバイスの潜在的性能の評価

本章では、機能的なスケールを維持するために極限まで微細化された CMOS ロジックあるいはメモリデバイス技術を置き換える、新規メモリおよびロジック探求デバイス技術の長期的な潜在性能を評価している。本分析は、新規情報処理デバイス(Alternative Information Processing Devices)の章で述べられる新探究デバイス技術とは関連していない。

計測技術

「CMOS を超えるスケール」分野におけるナノスケールデバイスは、さまざまなアプリケーション、コンピュータ状態変数等の技術領域に及んでいる。上述の「技術的要求と妥当性基準」というタイトルの章で定義された一連の妥当性もしくは評価の基準は、所定の「CMOS を越える」技術が情報処理応用にどの程度適用可能であるかをパラメータ化(数値化)するために用いられる。

CMOS を超える新探究ナノスケールメモリとロジックデバイスは、ある 1 つの要素に応じて、各々の妥当性基準と照らし合わせ評価を行う。ロジックに対しては、この要素はナノスケールデバイス技術の将来的な性能

の可能性に関する。その技術の開発が成功し成熟したと仮定し、それぞれの妥当性基準に対して、ロードマップの限界まで微細化された 11nm のシリコン CMOS と比較している。メモリに対しては、この要素は各ナノスケールメモリデバイス技術の将来的な性能の可能性に関する。その技術の開発が成功し成熟したと仮定し、それぞれの妥当性基準に対して、新しいメモリ技術が置き換える既存のメモリ技術と比較している。潜在性能としては、1 から 3 までの値が割り当てられる。「3」は実質的に 11nm の CMOS を上回り、「1」は実質的に CMOS あるいは、匹敵する既存メモリ技術に劣る。妥当性基準は、前記「技術要求と妥当性基準(Overall Technology Requirements and Relevance Criteria)」の章で定義されている。この評価は、広範囲の技術的バックグラウンドと専門知識を有する人材で構成される ERD ワーキンググループのメンバーの投票で決定されたものである。

*Logic—Individual Potential for Emerging Research Logic Devices
Related to each Technology Relevance Criterion*

3	Substantially exceeds ultimately scaled CMOS * <i>or is compatible with CMOS architecture</i> ** <i>or is monolithically integrable with CMOS wafer technology</i> *** <i>or is compatible with CMOS operating temperature</i> (i.e., <i>Substantially Better than Silicon CMOS Logic</i>)
2	Comparable to ultimately scaled CMOS * <i>or can be integrated with CMOS architecture with some difficulty</i> ** <i>or is functionally integrable (easily) with CMOS wafer technology</i> *** <i>or requires a modest cooling technology, T ≥ 77K</i> (i.e., <i>Comparable to Silicon CMOS Logic</i>)
1	Substantially (2×) inferior to ultimately scaled CMOS * <i>or can not be integrated with CMOS architecture</i> ** <i>or is not integrable with CMOS wafer technology</i> *** <i>or requires very aggressive cooling technology, T < 77K</i> (i.e., <i>Substantially Worse than Silicon CMOS Logic</i>)

*Memory—Individual Potential for Emerging Research Memory Devices
Related to each Technology Relevance Criterion*

3	Substantially exceeds the appropriate Baseline Memory Technology * or is compatible with CMOS wafer technology ** or is monolithically integrable with CMOS wafer technology ***or is compatible with CMOS operating temperature (i.e., <i>Substantially Better than Silicon Baseline Memory Technology</i>)
2	Comparable to the appropriate Baseline Memory Technology * or can be integrated with CMOS architecture with some difficulty ** or is functionally integrable (easily) with CMOS wafer technology ***or requires a modest cooling technology, $T \geq 77K$ (i.e., <i>Comparable to Silicon Baseline Memory Technology</i>)
1	Substantially (2×) inferior to the appropriate Baseline Memory Technology * or can not be integrated with CMOS architecture ** or is not integrable with CMOS wafer technology ***or requires very aggressive cooling technology, $T < 77K$ (i.e., <i>Substantially Worse than Silicon Baseline Memory Technology</i>)

*Overall Potential Assessment (OPA) = Potential Summed over the Eight Relevance
Criteria for each Technology Entry*
Maximum Overall Potential Assessment (OPA) = 24
Minimum Overall Potential Assessment (OPA) = 8

Overall Potential Assessment for Technology Entries

<i>Potential for the Technology Entry is projected to be significantly better than silicon CMOS or baseline memory (compared using the Technology Relevance Criteria) (OPA >20)</i>	Potential
<i>Potential for the Technology Entry is projected to be slightly better than silicon CMOS or baseline memory (compared using the Technology Relevance Criteria) (OPA = >18–20)</i>	Potential
<i>Potential for the Technology Entry is projected to be slightly less than silicon CMOS or baseline memory (compared using the Technology Relevance Criteria) (OPA = >16–18)</i>	Potential
<i>Potential for the Technology Entry is projected to be significantly less than silicon CMOS or baseline memory (compared using the Technology Relevance Criteria) (OPA ≤ 16)</i>	Potential

結果

表 ERD9 と ERD10 は、論評の要約である。繰り返しになるが、目的は、極限まで微細化された CMOS を最終的に置き換え、情報処理技術のさらなる微細化を可能にする、次の 10 年の新探究デバイスおよびロジック技術の評価することである。色の基準は、前記「技術導入のための潜在性予測(Overall Potential Assessment for Technology Entries)」の表に記されている。色はそれぞれの新探究メモリとロジック技術の全般的な評価を表す。白は、論理回路における CMOS と比較したときや、置き換え対象となる既存メモリ技術と比較したときに優位性があり、完全に成熟する技術となりえる比較的高い可能性を有していると、ERD ワーキンググループが判断したことを示す。逆に赤は、比較的低い可能性を示す。緑と黄色は、適度に高い可能性(緑)からそれより低い可能性(黄色)を段階的に示している。1-3 の尺度において、それぞれの枠内の数字は、技術/妥当性の基準に関して、ERD ワーキンググループのメンバーの回答の平均である。エラーバーは、回答の平均±標準偏差を示す。メモリやロジックへのそれぞれの技術導入のための相対的評価による格付けは、ERD ワーキンググループにおける集計に基づく判断であり、いくらか拘束力を伴うものでありながら、完全に拘束するものではないように意図されている。ここ 2 年間にわたって行われたワークショップや文献のレビュー、ワーキンググループ内での活発な議論にしたがって、数多くの表と記載文章とともに得られたこれらの格付けは、それぞれの技術導入における ERD ワーキンググルー

プの見解を、読者諸氏に提供することを意図する。この評価は、各メモリ技術に関しては ERD2 から ERD7 まで、各ロジック技術については ERD8 から ERD15 までの図にさらに詳細に記載されている。

メモリ応用のための 2 つの新技术候補が有望であるということがわかる。トンネル障壁メモリとヒューズ/アンチヒューズメモリの 2 つである。ロジックには、長期的な CMOS のスケールリング、特に 1 次元構造と関連する技術導入が有望であると考えられる。チャンネル置き換え材料もまた、高いリスクがあるものの、発展の可能性はある。逆に、「CMOS を超える技術」のロジック応用のための候補技術で、特筆に付すべきものはない。ゆえに、これらの技術の新規アプリケーションを特定すること、たとえば CMOS プラットフォーム技術の機能を補完し、拡張する手法などの研究が必要とされる。

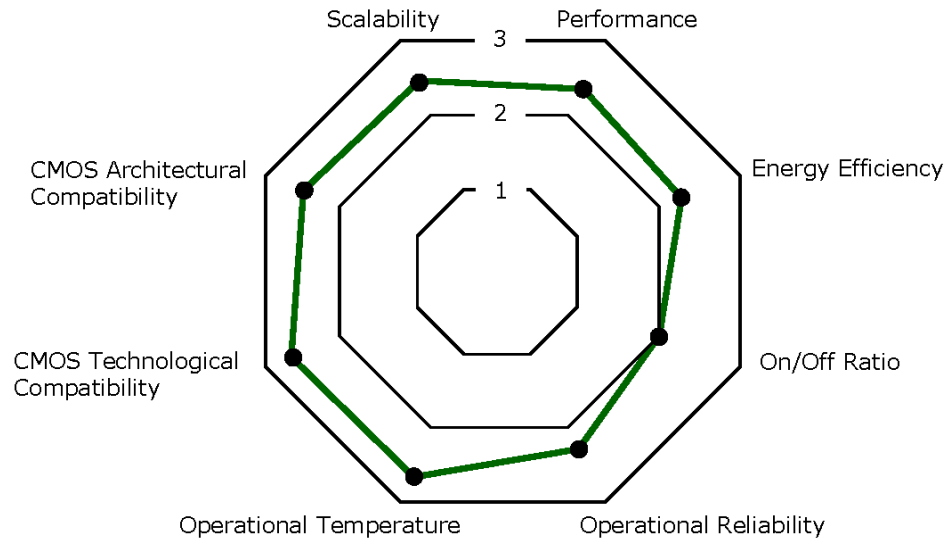
42 新探索子(ERD, Emerging Research Devices)

	Scalability	Performance	Energy Efficiency	Off/On ratio	Operational Reliability	Operational Temperature***	CMOS Technological Compatibility**	CMOS Architectural Compatibility *
Engineered Tunnel Barrier Memory	2.4	2.3	2.2	2.0	2.2	2.7	2.7	2.5
3								
2								
1								
Fuse/Anti-fuse Memory	2.6	1.9	2.0	2.2	1.8	2.8	2.7	2.5
3								
2								
1								
Nano Mechanical Memory	1.7	1.9	2.4	2.5	1.9	2.9	2.2	2.2
3								
2								
1								
Electronic Effects Memory	2.3	2.2	2.3	2.1	2.0	2.4	2.3	2.4
3								
2								
1								
Ionic Memory	2.6	2.0	2.4	2.1	1.7	2.5	2.1	2.5
3								
2								
1								
Ferroelectric FET Memory	1.8	2.0	1.9	2.1	1.7	2.6	2.3	2.3
3								
2								
1								
Macromolecular Memory	2.1	1.8	2.1	1.8	1.4	2.2	1.9	2.3
3								
2								
1								
Molecular Memory	2.4	1.7	2.4	1.4	1.3	2.2	1.8	1.9
3								
2								
1								

Table ERD9 Potential Evaluation for Emerging Research Memory Devices

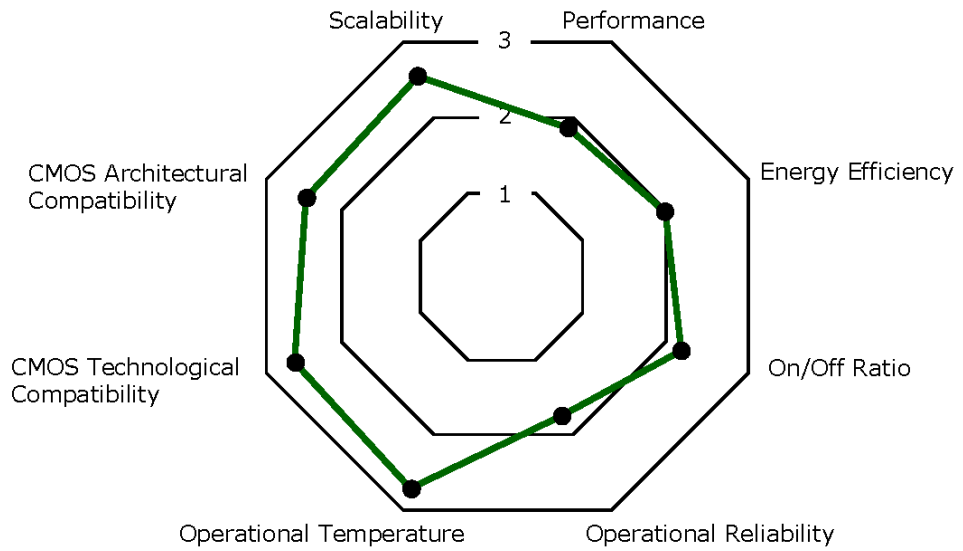
	Scalability	Performance	Energy Efficiency	Gain	Operational Reliability	Operational Temperature***	CMOS Technological Compatibility**	CMOS Architectural Compatibility *
1D Structures	2.4	2.2	2.5	2.3	2.0	2.5	1.8	2.3
3								
2								
1								
Channel Replacement Materials	2.0	2.9	2.3	2.4	1.9	2.3	1.8	2.5
3								
2								
1								
Single Electron Transistors	2.4	1.1	2.3	1.2	1.3	1.4	1.6	1.5
3								
2								
1								
Molecular Devices	2.5	1.5	2.2	1.5	1.3	1.8	1.6	1.7
3								
2								
1								
Ferromagnetic Devices	1.2	1.3	1.7	1.5	2.0	2.1	1.2	1.3
3								
2								
1								
Spin Transistors	1.7	1.4	2.3	1.7	1.4	1.3	1.3	1.3
3								
2								
1								

Table ERD10 Potential Evaluation for Emerging Research Logic Devices



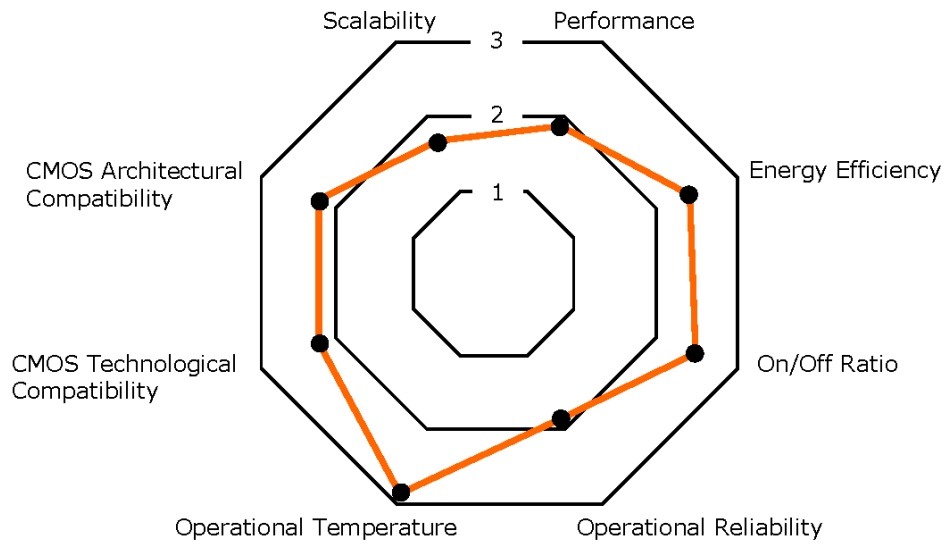
Engineered Tunnel Barrier Memory

Figure ERD2a Technology Performance Evaluation for Engineered Tunnel Barrier Memory



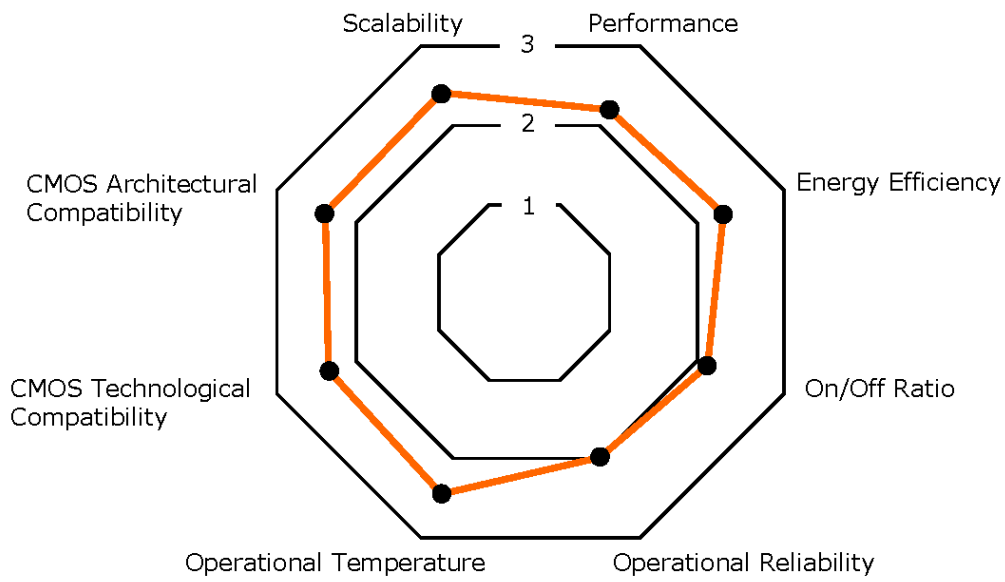
Fuse/Anti-fuse Memory

Figure ERD2b Technology Performance Evaluation for Fuse/Antifuse Memory



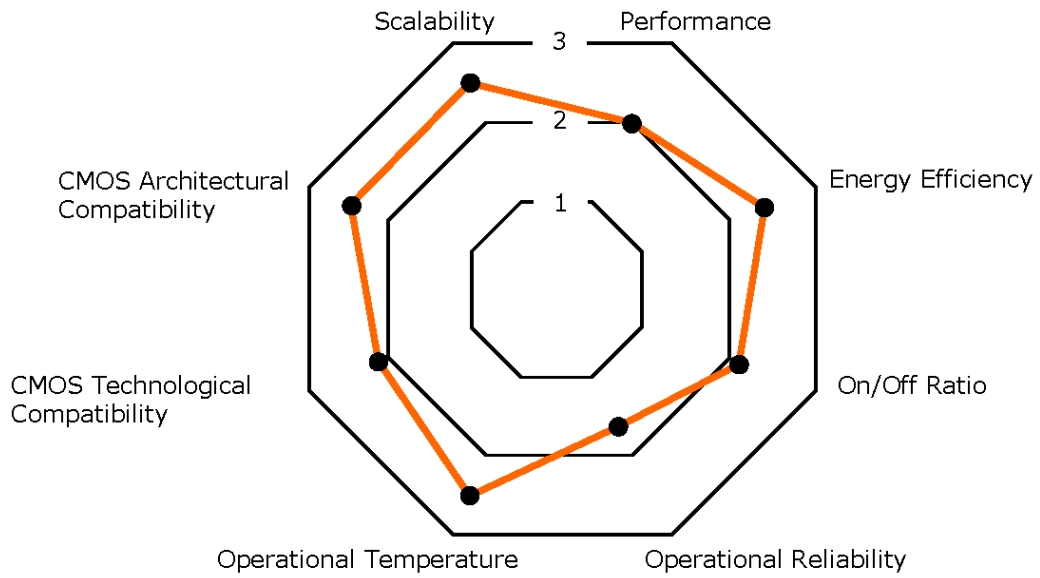
Nano Mechanical Memory

Figure ERD2c Technology Performance Evaluation for Nano Mechanical Memory



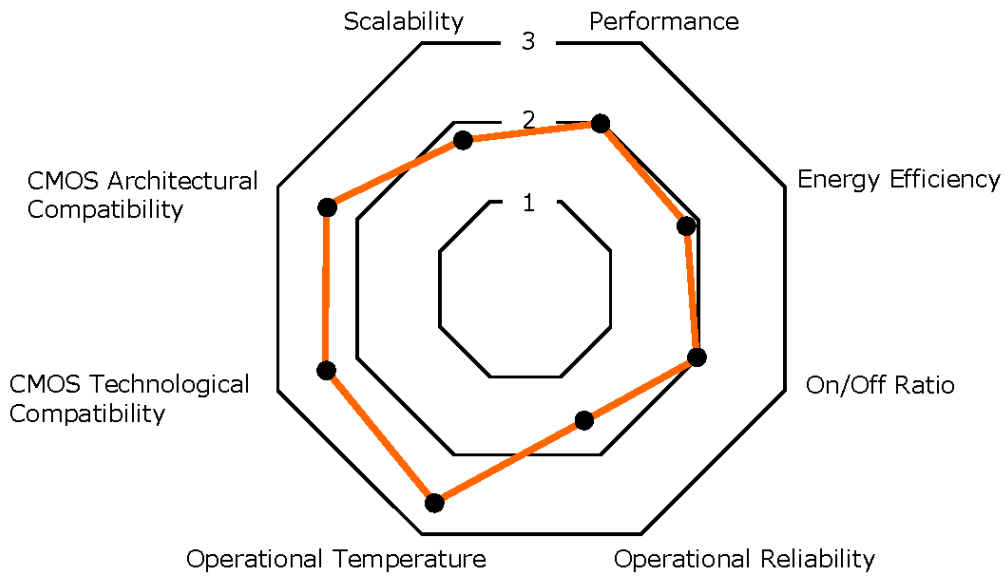
Electronic Effects Memory

Figure ERD2d Technology Performance Evaluation for Electronic Effects Memory



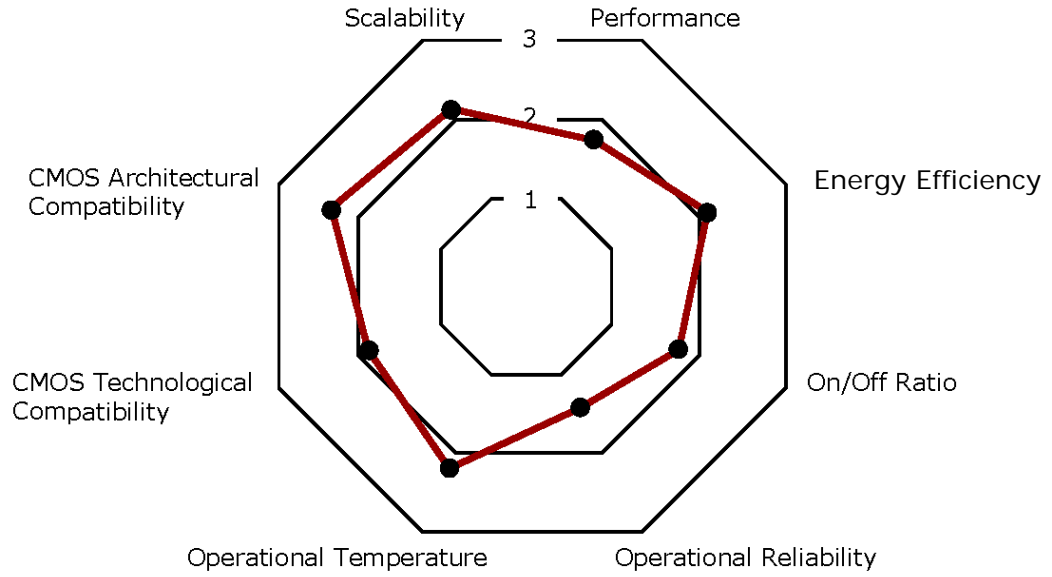
Ionic Memory

Figure ERD2e Technology Performance Evaluation for Ionic Memory



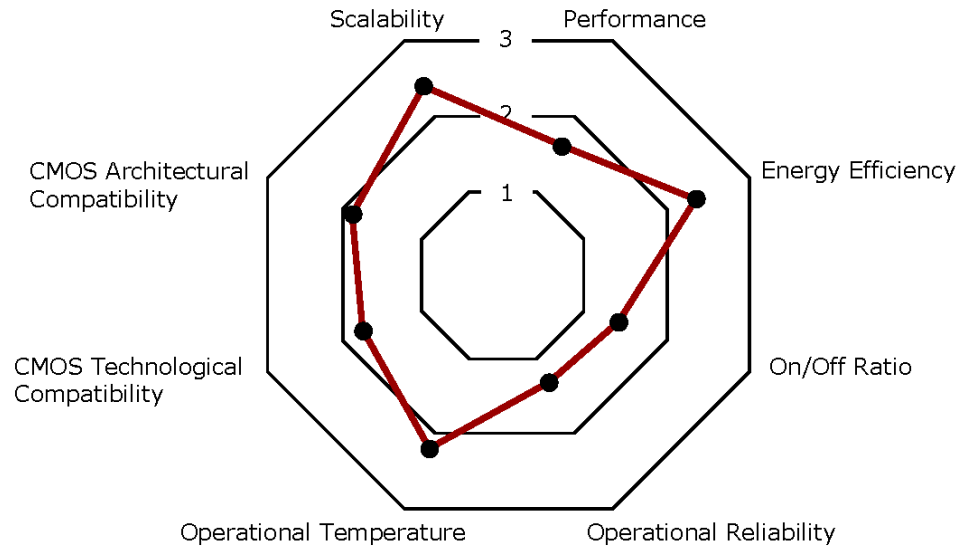
Ferroelectric FET Memory

Figure ERD2f Technology Performance Evaluation for Ferroelectric FET Memory



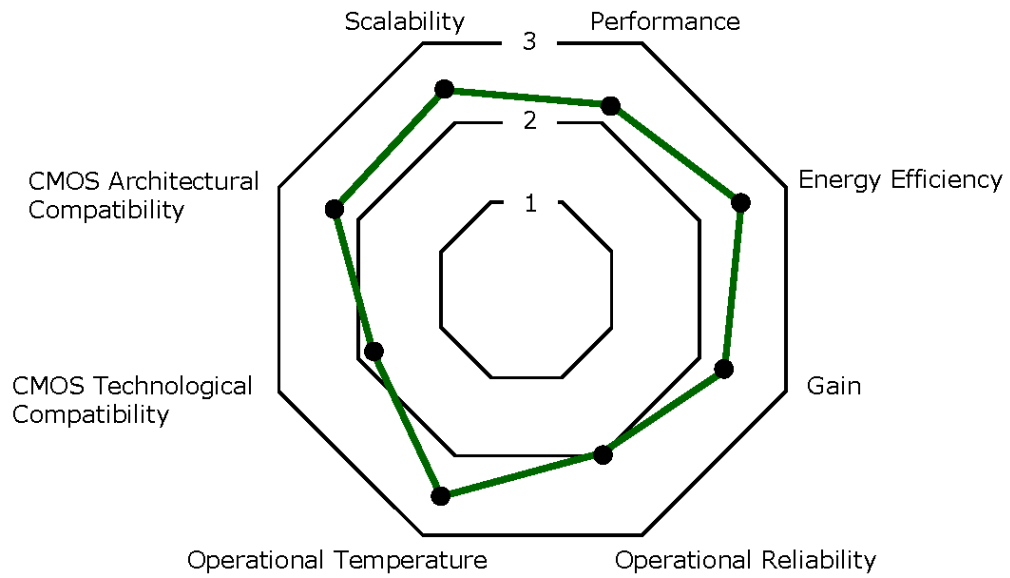
Macromolecular Memory

Figure ERD2g Technology Performance Evaluation for Macromolecular Memory



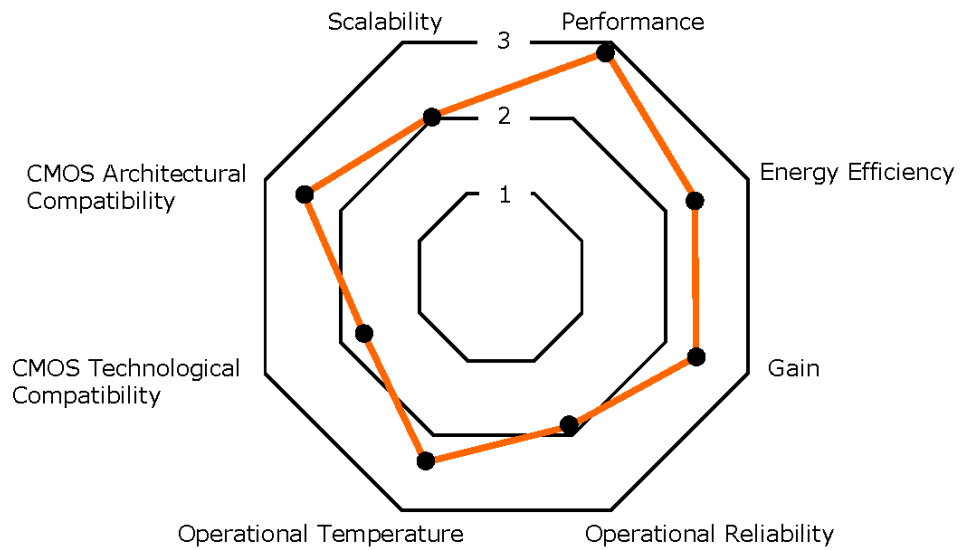
Molecular Memory

Figure ERD2h Technology Performance Evaluation for Molecular Memory



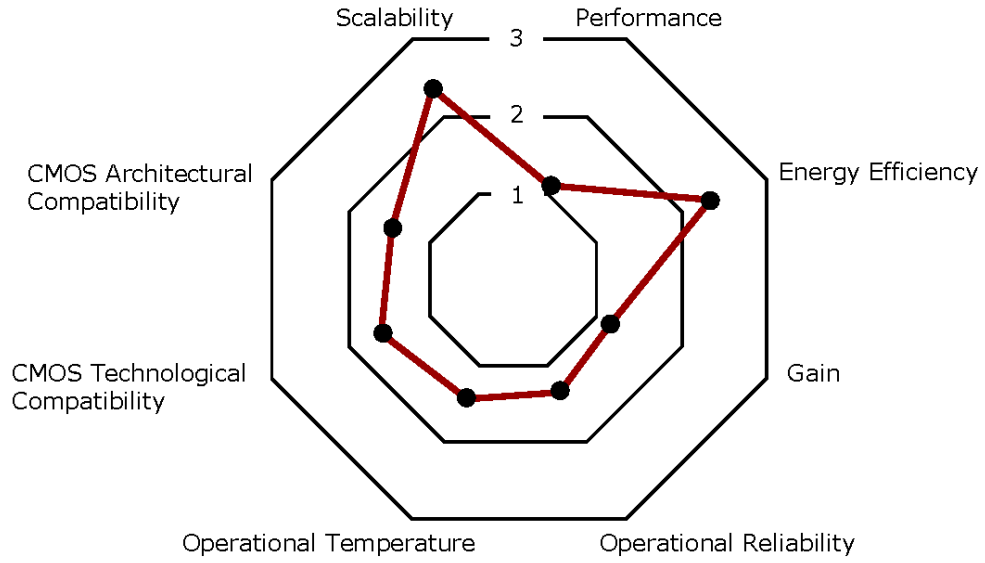
1D Structures

Figure ERD3a Technology Performance Evaluation for 1D Structures (CNTs and NWs) Logic Devices



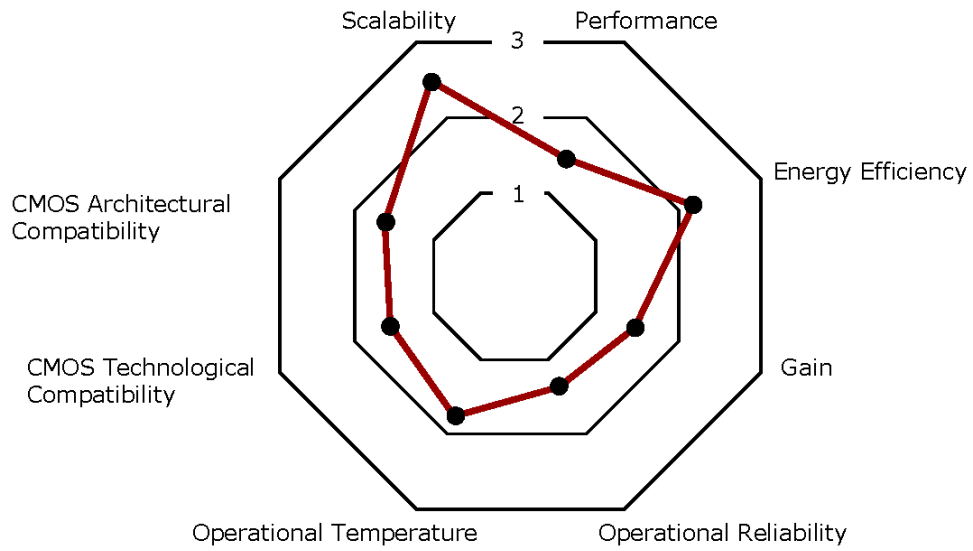
Channel Replacement Materials

Figure ERD3b Technology Performance Evaluation for Channel Replacement Materials Logic Devices



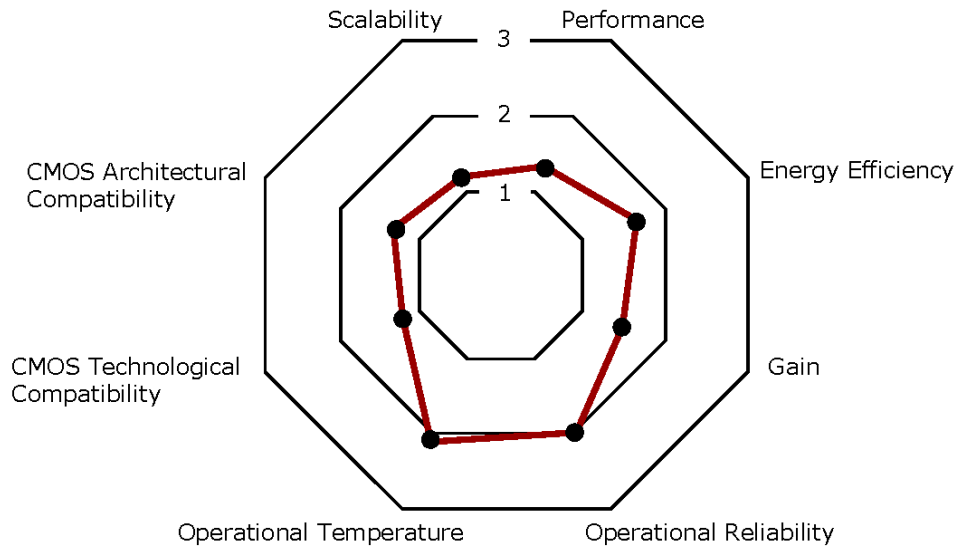
Single Electron Transistors

Figure ERD3c Technology Performance Evaluation for Single-Electron Transistors Logic Devices



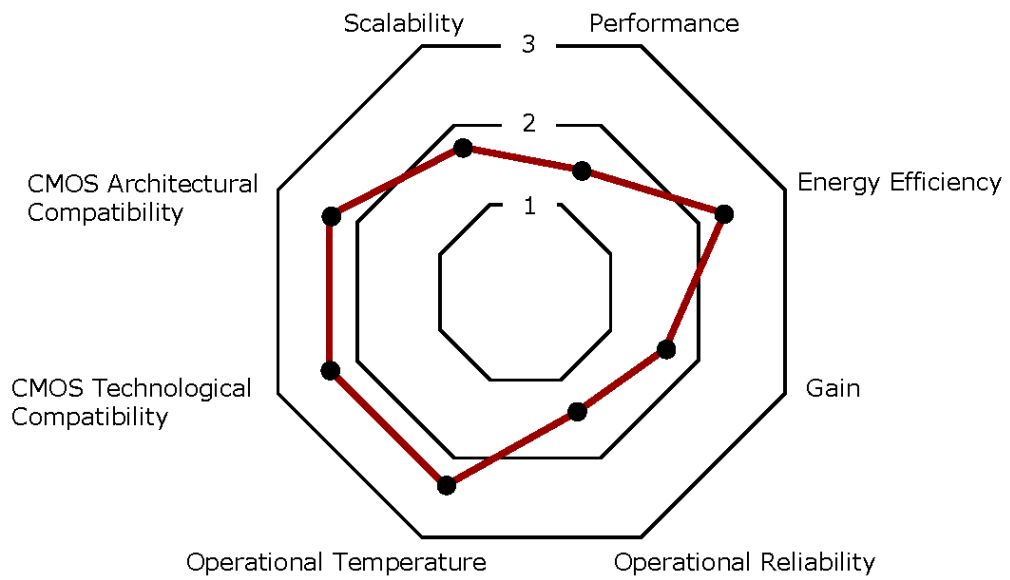
Molecular Devices

Figure ERD3d Technology Performance Evaluation for Molecular Logic Devices



Ferromagnetic Devices

Figure ERD3f Technology Performance Evaluation for Ferromagnetic Logic Devices



Spin Transistors

Figure ERD3e Technology Performance Evaluation for Spin Transistors Logic Devices

基本的な指導原理—「CMOS を超える技術」による情報処理

はじめに

情報処理性能の飛躍的向上を実現するために、究極の微細 CMOS で達成可能なレベルを超える多様な新しいアプローチが提案されているが、それらを検討するに当たり、エマージング・リサーチ・デバイス・ワーキンググループは、幅広い観点から以下の指導原理を提案する。われわれは、これらの「指導原理」が新しい「CMOS を超える技術」による情報処理技術として、機能密度、性能を飛躍的に向上させ、同時に機能動作当たりの消費エネルギーを減少させると信じてやまない。さらに言えば、この新しい技術は、高度な量産製造プロセスを用いることで実現可能であろう。

指導原理

電荷以外の計算状態変数

状態変数は、スピン、位相、多重極配向、メカニカルな位置、分極、軌道対称、磁束量子、分子配置、量子状態などを含む。極限微細 CMOS に対して、これらの状態変数を使ったデバイスがどの程度の性能を有するかの評価は、技術の絞込みを行うため、また主なトレードオフを明確にするためにも、プログラムの中で出来る限り早めに実施されるべきである。

非熱平衡状態システム

非熱平衡状態は、周囲との熱的な相互作用によって引き起こされるシステムの記憶情報エネルギーの摂動を減少させる。この機能は、全ての計算処理機能を、システムのエネルギー緩和時間より短時間でこなすことが可能なシステムで達成することが出来る。熱的なゆらぎは、双安定スイッチングデバイスの計算状態のランダムなゆらぎを抑制するため、 $10k_bT$ オーダーのエネルギー障壁が必要になる。ここで、 k_b は Boltzmann 定数、 T は実効温度である。低エネルギー、室温動作スイッチング実現の一つの方法は、フォノン浴の熱平衡で動作するシステムを見出すことであり、それによって、システムの実効温度 T を周囲の環境温度より低くすることが出来る。核スピンはその様なシステムの自然界での一例である。

新しいエネルギー伝達相互作用

エネルギー伝達相互作用は、情報処理伝達構成要素を連結する役割を果たす。デバイスの配線に使われるエネルギー伝達メカニズムは、おそらく短距離相互作用を基本にしたものになるであろう。例としては、量子交換、二重交換相互作用、電子ホッピング(跳躍)、Forster カップリング(双極子カップリング)、トンネリング、そしてコヒーレント・フォノンである。

ナノスケールの熱伝導制御

ナノスケールでの熱伝導制御は、構成的エネルギー輸送(constructive energy transport)と熱の逃げを実現するために、格子フォノンをうまく操作することで達成出来るであろう。例としては、局所エネルギーの再分布を実現するフォノンストップバンド構造及び異方性熱輸送を持った構造などである。

サブリソグラフィック作製プロセス

この原理の一つの例は、ナノスケールのビルディングブロックから成る複雑な構造を、自己組織化で組み立てることである。これは、上述した(例えば複合金属酸化物)量子相互作用が持続可能なバルク材料の中に、量子ドット、半導体ナノクリスタル、メタリック・ナノクリスタル、そして共鳴空洞(メタクリスタル)などのブロックを作製する際に基本的に必要になる。これらの自己組織化によるアプローチにおいては、具体的なデバイスを頭に描き、量産可能な製造プロセスに結びつくことを前提に、従来とは異なった、階層構造の実現に取り組む必要がある。

エマージングアーキテクチャ

この場合、アーキテクチャとは、組み込まれた計算要素を含む結合されたデバイスの機能的な配置のことを意味する。これらのアーキテクチャは、ユニークな機能を実現するような特別な目的のために、CMOS 以外の新規デバイスにも活用できる。

ENDNOTES

MEMORY

- ¹ F. Beltram, F. Capasso, J. F. Walker, and R. J. Malik. "Memory Phenomena in Heterojunction Structures - Evidence For Suppressed Thermionic Emission." *Appl. Phys. Lett.* 53 (1988) 376.
- ² K. K. Likharev. "Riding the crest of a new wave in memory." *IEEE Circ. & Dev.* v. 16, no. 4 (2000) 16-21.
- ³ F. Beltram, F. Capasso, J. F. Walker, and R. J. Malik. "Memory Phenomena in Heterojunction Structures - Evidence For Suppressed Thermionic Emission." *Appl. Phys. Lett.* 53 (1988) 376.
- ⁴ S. E. Baik, S. Choi, U-I. Chung, J. T. Moon. "Engineering on tunnel barrier and dot surface in Si nanocrystal memories." *Solid-State Electron.* v. 48 (2004) 1475-1481.
- ⁵ E. Cimoiasu, S. K. Tolpygo, X. Liu, N. Simonian, J. E. Lukens, K. K. Likharev, R. F. Klie, Y. Zhu. "Aluminum oxide as possible components for layered tunnel barriers." *J. Appl. Phys.* v. 96, no 2 (2004) 1088.
- ⁶ J. C. Brewer, R. J. Walters, L. D. Bell, D. B. Farmer, R. G. Gordon, H. A. Atwater. "Determination of energy barrier profiles for high-k dielectric materials utilizing bias-dependent internal photoemission." *Appl. Phys. Lett.* v. 85, no. 18 (2004) 4133.
- ⁷ Govoreanu, P. Blomme, M. Rosmeulen, J. Vaan Houdt, and K. De Meyer. "VARIOT: A novel multilayer tunnel barrier concept, for low-voltage nonvolatile memory devices." *IEEE Electron Dev. Lett.* v. 24, no.2 (2003) 99-101.
- ⁸ Liu YR, Dey S, Tang S, et al. "Improved performance of SiGe nanocrystal memory with VARIOT tunnel barrier." *IEEE Trans. Electron Dev.* 53 (2006): 2598-2602.
- ⁹ M-T Wu, H-T Lue, K-Y Hsieh, R. Liu and C-Y Lu. "Study of the band-to-band tunneling hot-electron (BBHE) programming characteristics of p-channel bandgap engineered SONOS (BE-SONOS)." *IEEE Trans. Electron Dev.* 54 (2007) 699.
- ¹⁰ Y. Arimoto and H. Ishiwara. "Current Status of Ferroelectric Random Access Memory." *MRS Bulletin* 29 (2004) 823.
- ¹¹ M. Fitsilis, Y. Mustafa, R. Waser. "Scaling the ferroelectric field effect transistor." *Integrated Ferroelectrics* 70: 29-44 2005.
- ¹² S. Sakai and R. Ilangoan. "Metal-Ferroelectric-Insulator-Semiconductor memory FET with long retention and high endurance." *IEEE Electron Dev. Lett.* v. 25, no. 6 (2004) 369-371.
- ¹³ H. Ishiwara. "Application of Bismuth-layered perovskite thin films to FET-type ferroelectric memories." *Integrated Ferroelectrics* 79 (2006) 3-13.
- ¹⁴ R. Waser and M. Aono. "Nanoionics-based resistively switching memories." *Nature Materials* (2007), in press.
- ¹⁵ T. Rueckes et al. "Carbon nanotube-Based Nonvolatile Random Access Memory for Molecular Computing." *Science* 289 (2000): 94-97.
- ¹⁶ J. W. Ward, M. Meinhold, B. M. Segal, J. Berg, R. Sen, R. Sivarajan, D. K. Brock, and T. Rueckes. "A non-volatile nanoelectromechanical memory element utilizing a fabric of carbon nanotubes." *Non-Volatile Memory Technology Symposium*, 15-17 Nov. 2004, pp. 34-38.
- ¹⁷ J. E. Jang et al. "Nanoelectromechanical switches with vertically aligned carbon nanotubes." *Appl. Phys. Lett.* 87 (2005) 163114.
- ¹⁸ R.L. Badzey, et al. "A controllable nanomechanical memory element." *Appl. Phys. Lett.* 85 (2004): 3587-3589.
- ¹⁹ Y. Tsuchiya et al. "Nanoelectromechanical nonvolatile memory device incorporating nanocrystalline Si dots." *J. Appl. Phys.* 100 (2006) 094306.
- ²⁰ G. M. McClelland and B. Atmaja. "Molded electromechanical shift register memories." *Appl. Phys. Lett.* 89 (2006) 161918.
- ²¹ H. Pagnia and N. Sotnik. "Bistable switching in electroformed metal-insulator-metal devices." *Physica Status Sol. A*, 108, 11-65 (1988).
- ²² F. A. Chudnovskii, L. L. Odynets, A. L. Pergament, and G. B. Stefanovich. "Electroforming and switching in oxides of transition metals: the role of metal-insulator transition in the switching mechanism." *J. Solid State Chem.*, 122, 95-9 (1996).
- ²³ J. C. Bruyere and B. K. Chakraverty. "Switching and Negative Resistance in Thin Films of Nickel Oxide." *Appl. Phys. Lett.* 16, 40 (1970).
- ²⁴ D. C. Kim, S. Seo, S. E. Ahn, D. -S. Suh, M. J. Lee, B. -H. Park, I. K. Yoo, I. G. Baek, H. -J. Kim, E. K. Yim, J. E. Lee, S. O. Park, H. S. Kim, U-In Chung, J. T. Moon, and B. I. Ryu. "Electrical observations of filamentary conduction for the resistive memory switching in NiO films." *Applied Physics Letters*, 88, 202102-1-3 (2006).
- ²⁵ B. J. Choi, D. S. Jeong, S. K. Kim, C. Rohde, S. Choi, J. H. Oh, H. J. Kim, C. S. Hwang, K. Szot, R. Waser, B. Reichenberg, and S. Tiedke. "Resistive switching mechanism of TiO₂ thin films grown by atomic-layer deposition." *J. Appl. Phys.* 98, 33715-1-10 (2005).

- ²⁶ I. G. Baek, M. S. Lee, S. Seo, M. J. Lee, D. H. Seo, D. S. Suh, J. C. Park, S. O. Park, H. S. Kim, I. K. Yoo, I. G., and J. T. Moon. "Highly scalable nonvolatile resistive memory using simple binary oxide driven by asymmetric unipolar voltage pulses." 2004 Intern. Electron Dev. Meeting, San Francisco, CA, USA, 13/12/2004-15/12/2004, Piscataway, NJ, USA: IEEE, 587-90 (2005).
- ²⁷ T-N. Fang, S. Kaza, S. Haddad, A. Chen, Y.-C. Wu, Z. Lan, S. Avanzino, D. Liao, C. Gopalan, S. Choi, S. Mahdavi, M. Buynoski, Y. Lin, C. Marrian, C. Bill, M. VanBuskirk, and M. Taguchi. "Erase Mechanism for Copper Oxide Resistive Switching Memory Cells with Nickel Electrode." Tech. Dig. Int. Electron Devices Meet. 2006, pp.789-792.
- ²⁸ K. Kinoshita et al. "Lowering the Switching Current of Resistance Random Access Memory Using a Hetero Junction Structure Consisting of Transition Metal Oxide." Jap. J. Appl. Phys. 45, L991 (2006).
- ²⁹ n.a. "Resistance Switching of Copper doped MoOx Films for Nonvolatile Memory Application." APL 90, 122104 (2007).
- ³⁰ T-N. Fang, S. Kaza, S. Haddad, A. Chen, Y.-C. Wu, Z. Lan, S. Avanzino, D. Liao, C. Gopalan, S. Choi, S. Mahdavi, M. Buynoski, Y. Lin, C. Marrian, C. Bill, M. VanBuskirk, and M. Taguchi. "Erase Mechanism for Copper Oxide Resistive Switching Memory Cells with Nickel Electrode." Tech. Dig. Int. Electron Devices Meet. 2006, pp.789-792.
- ³¹ K. Kinoshita et al. "Lowering the Switching Current of Resistance Random Access Memory Using a Hetero Junction Structure Consisting of Transition Metal Oxide." Jap. J. Appl. Phys. 45, L991 (2006).
- ³² D. C. Kim, et al. "Improvement of resistive memory switching in NiO using IrO₂." Appl. Phys. Lett. 88 (2006) 232106.
- ³³ M.N. Kozicki, C. Gopalan, M. Balakrishnan, M. Park, and M. Mitkova. "Non-Volatile Memory Based on Solid Electrolytes." Proceedings of the 2004 Non-Volatile Memory Technology Symposium, 10-17 (2004).
- ³⁴ T. Sakamoto, H. Sunamura, H. Kawuara, T. Hasegawa, T. Nakayama, and M. Aono. "Nanometer-scale switches using copper sulfide." Appl. Phys. Lett. 82 (2003) 3032.
- ³⁵ H. Pagnia and N. Sotnik. "Bistable Switching in Electroformed Metal-Insulator-Metal Devices." Phys. Stat. Sol. (a) 108 (1988) 11.
- ³⁶ A. Beck, J.G. Bednorz, Ch. Gerber, C. Rossel, and D. Widmer. "Reproducible Switching Effect in Thin Oxide Films for Memory Applications." Appl. Phys. Lett. 77 (2000) 139.
- ³⁷ J. G. Simmons and R. R. Verderber. "New conduction and reversible memory phenomena in thin insulating films." Proc. R. Soc. London, Ser. A 301, no 1464 (1967) 77.
- ³⁸ A. Sawa, T. Fujii, M. Kawasaki, and Y. Tokura. "Interface resistance switching at a few nanometer thick perovskite manganite active layers." Applied Physics Letters, USA, 88, 232112-1-3 (2006).
- ³⁹ T. Fujii, M. Kawasaki, A. Sawa, H. Akoh, Y. Kawazoe, and Y. Tokura. "Hysteretic current-voltage characteristics and resistance switching at an epitaxial oxide Schottky junction SrRuO₃/SrTi_{0.99}Nb_{0.01}O₃." Applied Physics Letters, USA, 86, 12107-1-3 (2005).
- ⁴⁰ K. Yano, T. Ishii, T. Hashimoto, F. Murai, and K. Seki. "Room-temperature single-electron memory." IEEE Trans. Electron. Dev. 41 (1994) 1628-1638.
- ⁴¹ K. Yano, T. Ishii, T. Sano, T. Mine, F. Murai, T. Hashimoto, T. Kobayashi, T. Kure, K. Seki. "Single-electron memory for giga-to-tera bit storage." Proc. IEEE 87 (1999) 633-651.
- ⁴² K. Yano, T. Ishii, T. Sano, T. Mine, F. Murai, T. Hashimoto, T. Kobayashi, T. Kure, K. Seki. "Single-electron memory for giga-to-tera bit storage." Proc. IEEE 87 (1999) 633-651.
- ⁴³ C. Papagianni, Y. B. Nian, Y. Q. Wang, N. J. Wu, A. Igmatiev. "Impedance study of reproducible switching memory effect." 2004 International Electron Devices Meeting, San Francisco, CA, USA, 13/12/2004-15/12/2004, 125-128.
- ⁴⁴ S. Tsui, Y. Q. Wang, Y. Y. Xue, C. W. Chu. "Mechanism and scalability in resistive switching of metal Pr_{0.7}Ca_{0.3}MnO₃ interface." Appl. Phys. Lett 89 (2006) 123502.
- ⁴⁵ A. Asamitsu, Y. Tomioka, H. Kuwahara, and Y. Tokura. "Current switching of resistive states in magnetoresistive manganites." Nature, 388, 50-2 (1997).
- ⁴⁶ D. S. Kim, Y. H. Kim, C. E. Lee, and Y. T. Kim. "Colossal electroresistance mechanism in a Au/Pr_{0.7}Ca_{0.3}MnO₃/Pt sandwich structure: evidence for a Mott transition." Physical Review B 74, 174430-1-6 (2006).
- ⁴⁷ G. I. Meijer, U. Staub, M. Janousch, S. L. Johnson, B. Delley, T. Neisius. "Valence states of Cr and the insulator-to-metal transition in Cr-doped SrTiO₃." Phys. Rev. B, 72, 155102 (2005).
- ⁴⁸ R. Fors, S. I. Khartsev, and A. M. Grishin. "Giant resistance switching in metal-insulator-manganite junctions: Evidence for Mott transition." Phys. Rev. B 71 (2005) 045305.
- ⁴⁹ M. Fujimoto, H. Koyama, M. Konagai, Y. Hosoi, K. Ishihara, S. Ohnishi, N. Awaya. "TiO₂ anatase nanolayer on TiN thin film exhibiting high-speed bipolar resistive switching." Appl. Phys. Lett. 89 (2006) 223509.
- ⁵⁰ M. J. Rozenberg, I. H. Inoue, and M. J. Sanchez. "Nonvolatile memory with multilevel switching: a basic model." Physical Review Letters, USA, 92, 178302/1-4 (2004).
- ⁵¹ C. H. Ahn et al. "Electrostatic modification of novel materials." Rev. Modern Physics 78 (2006) 1185-1212.
- ⁵² P. W. M. Blom, R. M. Wolf, J. F. M. Cillessen, and M. P. C. M. Krijn. "Ferroelectric Schottky Diode." Phys. Rev. Lett. 73 (1994) 2107.

- ⁵³ H. Kohlstedt, N. A. Pertsev, J. Rodriguez Contreras, and R. Waser. "Theoretical current-voltage characteristics of ferroelectric tunnel junctions." accepted by Phys. Rev. B, Cond-mat/0503546.
- ⁵⁴ L. P. Ma, J. Liu, and Y. Yang. "Organic electrical bistable devices and rewritable memory cells." APPL. PHYS. LETT. v. 80, no. 16 (2002) 2997-2999.
- ⁵⁵ L. P. Ma, S. Pyo, J. Ouyang, Q. Xu, and Y. Yang. "Nonvolatile electrical bistability of organic/metal-nanocluster/organic system." Appl. Phys. Lett. v. 80, no. 9 (2003) 1419-1421.
- ⁵⁶ L. P. Ma, Q. Xu and Y. Yang. "Organic non-volatile memory by controlling the dynamic copper-ion concentration within organic layer." Appl. Phys. Lett. v. 84, no. 24 (2004) 4908-4910.
- ⁵⁷ J. Ouyang, C. W. Chu, C. R. Szmanda, L. P. Ma, and Y. Yang. "Programmable polymer thin film and non-volatile memory device." Nature Materials v. 3, no 12 (2004) 918-922.
- ⁵⁸ J. He, L. P. Ma, J. Wu and Y. Yang. "Three-terminal organic memory devices." J. Appl. Phys. v. 97 (2005) 064507.
- ⁵⁹ Muller R, Naulaerts R, Billen J, et al. "CuTCNQ resistive nonvolatile memories with a noble metal bottom electrode." Appl. Phys. Lett. 90 (2007) 063503.
- ⁶⁰ A. Kanwal and M. Chowalla. "Stable, three layered organic memory devices from C₆₀ molecules and insulating polymers." Appl. Phys. Lett. 89 (2006) 203103.
- ⁶¹ L. P. Ma, J. Liu, and Y. Yang. "Organic electrical bistable devices and rewritable memory cells." APPL. PHYS. LETT. v. 80, no. 16 (2002) 2997-2999.
- ⁶² L. D. Bozano, B. W. Kean, V. R. Deline, J. R. Salem, and J. C. Scott. "Mechanism for bistability in organic memory elements." Appl. Phys. Lett. v. 84, no. 4 (2004) 607-609.
- ⁶³ J. G. Simmons and R. R. Verderber. "New conduction and reversible memory phenomena in thin insulating films." Proc. R. Soc. London, Ser. A 301, no 1464 (1967) 77.
- ⁶⁴ M. A. Reed, J. Chen, A. M. Rawlett, et al. "Molecular random access memory cell." Appl. Phys. Lett. v. 78, no. 23 (2001) 3735-3737.
- ⁶⁵ Y. Collier C.P., Jeppesen J.O., Nielsen K.A., Delonno E., Ho G., Perkins J., Tseng H.R., Yamamoto T, Stoddart J.F., Heath J.R.. "Two-dimensional Molecular Electronics Circuits." CHEMPHYSICHEM 3 (2002) 519.
- ⁶⁶ Tour JM, Cheng L, Nackashi DP, Yao YX, Flatt AK, St Angelo SK, Mallouk TE, Franzon PD. "NanoCell electronic memories." J. AMER. CHEM. SOC., 125 (43): 13279-13283 OCT 29 2003.
- ⁶⁷ W. Wu, G-Y. Jung, D. L. Olynick, J. Straznicky, Z. Li, X. Li, D. A. A. Ohlberg, Y. Chen, S-Y. Wang, J. A. Liddle, W. M. Tong, and R. S. Williams. "One-kilobit cross-bar molecular memory circuits at 30-nm half-pitch fabricated by nanoimprint lithography." Appl. Phys. A v. 80 (2005) 1173-1178.
- ⁶⁸ J. Berg, S. Bengtsson, P. Lundgren. "Can Molecular Resonant Tunneling Diodes be Used for Local Refresh of DRAM Memory Dells?." Solid-State Electron. 44 (2000) 2247.
- ⁶⁹ C. N. Lau, D. R. Stewart, R. S. Williams, M. Bockrath. "Direct observation of nanoscale switching centers in metal/molecule/metal structures." NANO LETTERS 4 (2004): 569-572.

LOGIC

- ⁷⁰ Zhang, G., Science, 314, p. 974, 2006.
- ⁷¹ Arnold, M. S., et al. Nature Nanotechnology, 1, p. 60, 2006.
- ⁷² Appenzeller, J.; Lin, Y.-M.; Knoch, J.; Chen, Z.; Avouris, P. "1/f Noise in Carbon Nanotube Devices—On the Impact of Contacts and Device Geometry." Nanotechnology, IEEE Transactions on Volume 6, Issue 3, May 2007 Page(s):368 – 373.
- ⁷³ Ilani, S., et al. Nature Physics, 2, p.687, 2006.
- ⁷⁴ Ryan Tu, Li Zhang, Yoshio Nishi, and Hongjie Dai. "Measuring the Capacitance of Individual Semiconductor Nanowires for Carrier Mobility Assessment." Nano Letters, Vol.7, No. 6, 1561-1565, 2007.
- ⁷⁵ Rosenblatt, S., et al. Applied Physics Letter, 87, p. 153111, 2005.
- ⁷⁶ Islamshah Amlani, Jonathan Lewis, King Lee, Ruth Zhang, Jie Deng and H.-S. Philip Wong. "First Demonstration of AC Gain From a Single-walled Carbon Nanotube Common-Source Amplifier." Proceedings of the 2006 IEDM, 207.
- ⁷⁷ Kang, S.J., et al. Nature Nanotechnology, 2, p. 230, 2007.
- ⁷⁸ Han, S., et al. Journal of the American Chemical Society, 127, p. 5294, 2005.
- ⁷⁹ Javey, A., et al. Nano Letters, 7, p. 773, 2007.
- ⁸⁰ Li, X., et al. Journal of the American Chemical Society, 129, p. 4890, 2007.
- ⁸¹ Arnold, M. S., et al. Nature Nanotechnology, 1, p. 60, 2006.
- ⁸² Tomas Bryllert, Lars-Erik Wernersson, Linus E. Fröberg, and Lars Samuelson. "Vertical High-Mobility Wrap-Gated InAs Nanowire Transistor." IEEE Electron Device Letters, VOL. 27, NO. 5, MAY 2006, 323.

-
- ⁸³ Autran, J.-L.; Munteanu, D. "Beyond silicon bulk MOS transistor: new materials, emerging structures and ultimate devices." *Revue de l'Electricite et de l'Electronique* no.4 : 25-37, April 2007.
- ⁸⁴ Kyoung Hwan Yeo et al. "Gate-All-Around (GAA) Twin Silicon Nanowire MOSFET (TSNWFET) with 15 nm Length Gate and 4 nm Radius Nanowires." *Electron Devices Meeting, 2006. IEDM '06. International 11-13 Dec. 2006* Page(s):1 – 4.
- ⁸⁵ Chen, Z., et al. *Science*, 311, p. 1735, 2006.
- ⁸⁶ Claire Berger, et. al.. "Electronic Confinement and Coherence in Patterned Epitaxial Graphene." *SCIENCE VOL 312 26 MAY 2006*, 1191.
- ⁸⁷ Suman Datta. "III-V field-effect transistors for low power digital logic applications." *Microelectronic Engineering* 84 (2007) 2133–2137.
- ⁸⁸ *Nanoelectronics and Information Technology*. Ed. Rainer Wasser. Wiley-VCH, 2003. 425-444.
- ⁸⁹ H. Inokawa, A. Fujiwara, and Y. Takahashi. "A multiple-valued logic and memory with combined single-electron and metal-oxide-semiconductor transistors." *IEEE Transactions on Electron Devices* 50, 462-470 (2003).
- ⁹⁰ K. W. Song, Y. K. Lee, J. S. Sim, H. Jeoung, J. D. Lee, B. G. Park, Y. S. Jin, and Y. W. Kim. "SET/CMOS hybrid process and multiband filtering circuits." *IEEE Transactions on Electron Devices* 52, 1845-1850 (2005).
- ⁹¹ M. Saitoh, H. Harata, and T. Hiramoto. "Room-temperature demonstration of integrated silicon single-electron transistor circuits for current switching and analog pattern matching." *IEDM Tech. Dig.* 187-190 (2004).
- ⁹² Bandyopadhyay S. and Roychowdhury V. "Computational paradigms in nanoelectronics: Quantum coupled single electron logic and neuromorphic networks." *Japan Journal of Applied Physics, Pt 1. 35.6A (1996)* 3350-3362.
- ⁹³ Park, K.-S., et al. "SOI Single-electron transistor with low RC delay for logic cells and SET/FET hybrid ICs." *IEEE Trans. Nanotechnol.* 4.2 (2005) 242.
- ⁹⁴ M. Saitoh, H. Harata, and T. Hiramoto. "Room-temperature demonstration of integrated silicon single-electron transistor circuits for current switching and analog pattern matching." *IEDM Tech. Dig.* 187-190 (2004).
- ⁹⁵ V. V. Zhirnov, J. A. Hutchby, G. I. Bourianoff, J. E. Brewer. "Emerging research logic devices." *IEEE Circuits and Devices* 21 (3): 37-46 (2005).
- ⁹⁶ Chen, R. H., A.N. Korotkov, and K.K. Likharev. "Single-electron Transistor Logic." *Applied Physics Letters.* 68.14 (1996) 1954.
- ⁹⁷ K. Nishiguchi, A. Fujiwara, Y. Ono, H. Inokawa, and Y. Takahashi. "Room-temperature-operating data processing circuit based on single-electron transfer and detection with metal-oxide-semiconductor field-effect transistor technology." *Applied Physics Letters* 88 183101 (2006).
- ⁹⁸ K. Uchida, T. Tanamoto, R. Ohba, S. Yasuda, and S. Fujita. "Single-electron random-number generator (RNG) for highly secure ubiquitous computing applications." *IEDM Tech. Dig.* 177-180 (2002).
- ⁹⁹ N. Asahi, M. Akazawa, Y. Amemiya. "Single-electron logic device based on the binary decision diagram." *IEEE Transactions On Electron Devices* 44, 1109 (1997).
- ¹⁰⁰ D. R. Stewart, D. A. A. Ohlberg, P. A. Beck, Y. Chen, R. Stanley Williams, J. O. Jeppesen, K. A. Nielsen, and J. Frasier Stoddard, *Nano Lett.* 4, 133 (2004).
- ¹⁰¹ Jeremy M. Beebe and James G. Kushmerick. "Nanoscale switch elements from self-assembled monolayers of silver." *Applied Physics Letters* 90, 083117 (2007).
- ¹⁰² Eric Rotenberg and Ravi Venkatesan. "The state of ZettaRAM." *Nano-Networks and Workshops, 2006. NanoNet '06. 1st International Conference on Sept. 2006* Page(s):1 – 5.
- ¹⁰³ Akkerman, H.B.; Blom, P.W.M.; de Leeuw, D.M.; de Boer, B.. "Towards molecular electronics with large-area molecular junctions." *Nature* vol.441, no.7089 : 69-72, 4 May 2006.
- ¹⁰⁴ William R Dichtel, James R Heath, and J Fraser Stoddart. "Designing bistable [2]rotaxanes for molecular electronic devices." *Philosophical Transactions of the Royal Society A*, 2007.
- ¹⁰⁵ Gregory S Snider and R StanleyWilliams. "Nano/CMOS architectures using a field-programmable nanowire interconnect." *Nanotechnology* 18 (2007) 035204 (11pp).
- ¹⁰⁶ Strukov D B and Likharev K K. 2005 "CMOL FPGA: a reconfigurable architecture for hybrid digital circuits with two-terminal nanodevices." *Nanotechnology* 16, 888–900.
- ¹⁰⁷ June Hoon Lee and K. L. Likharev. "Defect tolerant nanoelectronic pattern classifiers." *Int. J. Circ. Theor. Appl.*; 35:239-264.
- ¹⁰⁸ D. B. Strukov and K. L. Likharev. "Defect Tolerant Architectures for Nanoelectronic Crossbar Memories." *Journal of Nanoscience and Nanotechnology*, Aug 2006.
- ¹⁰⁹ K.K. Likharev. "Hybrid Semiconductor/Nanoelectronic Circuit Architectures." *Nanotech 2007 Vol. 1*, P552-557.
- ¹¹⁰ T. Ono, H. Miyajima, K. Shigeto, K. Mibu, N. Hosoi, and T. Shinjo. "Propagation of a magnetic domain wall in a submicrometer magnetic wire." *Science* 284, 468 (1999).

- ¹¹¹ D. A. Allwood, G. Xiong, M. D. Cooke, C. C. Faulkner, D. Atkinson, N. Vernier, and R. P. Cowburn. "Submicrometer ferromagnetic NOT gate and shift register." *Science* 296, 2003 (2002).
- ¹¹² D. A. Allwood, G. Xiong, C. C. Faulkner, D. Atkinson, D. Petit, and R. P. Cowburn. "Magnetic domain-wall logic." *Science* 309 1688 (2005).
- ¹¹³ A. Yamaguchi, T. Ono, S. Nasu, K. Miyake, K. Mibu, and T. Shinjo. "Real-space observation of current-driven domain wall motion in submicron magnetic wires." *Phys. Rev. Lett.* 92, 077205 (2004).
- ¹¹⁴ M. Yamanouchi, D. Chiba, F. Matsukura, and H. Ohno. "Current-induced domain-wall switching in a ferromagnetic semiconductor structure." *Nature* 428, 539 (2004).
- ¹¹⁵ D. Chiba, Y. Sato, T. Kita, F. Matsukura, and H. Ohno. "Current-driven magnetization reversal in a ferromagnetic semiconductor (Ga,Mn)As/GaAs/(Ga,Mn)As tunnel junction." *Phys. Rev. Lett.* 93, 216602 (2004).
- ¹¹⁶ M. Hayashi, L. Thomas, C. Rettner, R. Moriya, Y. B. Bazaliy, and A. S. P. Parkin. "Current driven domain wall velocities exceeding the spin angular momentum transfer rate in permalloy nanowires." *Phys. Rev. Lett.* 98, 037204 (2007).
- ¹¹⁷ US Patent No. 6834005 (2004).
- ¹¹⁸ E. Saitoh, H. Miyajima, T. Yamaoka, and G. Tatara. "Current-induced resonance and mass determination of a single magnetic domain wall." *Nature* 432, 203 (2004).
- ¹¹⁹ S. E. Barnes, J. Ieda, and S. Maekawa. "Magnetic memory and current amplification devices using moving domain walls." *Appl. Phys. Lett.* 89, 122507 (2006).
- ¹²⁰ Love Kothari and Nicholas Carter. "Architecture of a Self-Checkpointing Microprocessor that Incorporates Nanomagnetic Devices." *IEEE Transactions on Computers*, V 56, No. 2, Feb 2007.
- ¹²¹ Masaaki Tanaka and Satoshi Sugahara. "MOS-Based Spin Devices for Reconfigurable Logic." *IEEE Transactions on Electron Devices*, Vol. 54, No. 5, May 2007.
- ¹²² S. Sugahara and M. Tanaka. "Spin MOSFETs As a Basis for Spintronics." *ACM Trans. on Storage*, vol.2, no.2, 2006, pp197-219.
- ¹²³ S Bandyopadhyay, B Das and A E Miller. "Supercomputing with spin-polarized single electrons in a quantum coupled architecture." *Nanotechnology* 5 (1994) 113-133.
- ¹²⁴ S Bandyopadhyay, B Das and A E Miller. "Supercomputing with spin-polarized single electrons in a quantum coupled architecture." *Nanotechnology* 5 (1994) 113-133.
- ¹²⁵ A. Imre et al. "Majority Logic Gate for Magnetic Quantum-Dot cellular Automata." *Science*, 311, 205-208 (2006).
- ¹²⁶ Nikonov DE, Bourianoff GI, Gargini PA. "Power dissipation in spintronic devices out of thermodynamic equilibrium." *Journal of Superconductivity and Novel Magnetism*, 19, 497-513 (Aug. 2006).
- ¹²⁷ A. Imre et al. "Majority Logic Gate for Magnetic Quantum-Dot cellular Automata." *Science*, 311, 205-208 (2006).
- ¹²⁸ Nikonov DE, Bourianoff GI, Gargini PA. "Power dissipation in spintronic devices out of thermodynamic equilibrium." *Journal of Superconductivity and Novel Magnetism*, 19, 497-513 (Aug. 2006).
- ¹²⁹ Bandyopadhyay S. "Power dissipation in spintronic devices." available at <http://arxiv.org/abs/cond-mat/0605574>.
- ¹³⁰ V. V. Zhirmov and R. K Cavin. "An Energy Barrier Framework for the Limits of Charge and Spin based Switches." *J. Nanoelectron. and Optoelectron.*, 1, 52 (2006).
- ¹³¹ S. Sugahara and M. Tanaka. "A spin metal-oxide-semiconductor field-effect transistor using half-metallic-ferromagnet contacts for the source and drain." *APL*, Vol 84, No. 13, Mar 29, 2004.
- ¹³² Yosuke Mizuno et al. "Spin-dependent transport properties in GaMnAs-based spin hot-carrier transistors." *Applied Physics Letters* 90, 162505, 2007.
- ¹³³ D. J. Paul, B. Coonan, G. Redmond, G. M. Crean, B. Holländer, S. Mantl, I. Zozoulenko, K.F. Berggren. "Silicon Quantum Integrated Circuits." in: *Future Trends in Microelectronics*, eds., S. Luryi, J. Xu, and A. Zaslavsky. John Wiley & Sons, Inc:New York, NY, 1999. 183-192.
- ¹³⁴ *Nanoelectronics and Information Technology*. Rainer Wasser, ed. Wiley-VCH, 2003. 416-424.
- ¹³⁵ Alexander Khitun and Kang L. Wang. "Cellular nonlinear network based on semiconductor tunneling structure with a self-assembled quantum dot layer." 2004 4th IEEE Conference on Nanotechnology.
- ¹³⁶ K. Maezawa and T. Mizutani, *Jpn. J. Appl. Phys.*, Vol. 32, L42, 1993.
- ¹³⁷ Koichi Maezawa. "Resonant Tunneling Diodes and Their Application to High-Speed Circuits." *CSIC 2005 Digest*, IEEE.
- ¹³⁸ Héctor Pettenghi, María J. Avedillo, and José M. Quintana. "New Circuit Topology for Logic Gates based on RTDs." *Proceedings of 2005 5th IEEE Conference on Nanotechnology Nagoya, Japan, July 2005*.
- ¹³⁹ M.A. Reed, et al. "Realization of a Three-terminal Resonant Tunneling Device: the Bipolar Quantum Resonant Tunneling Transistor." *Appl. Phys. Lett.* 54, 1989, 1034.
- ¹⁴⁰ P. Fau, et al. "Fabrication of Monolithically-integrated InAlAs/InGaAs/InP HEMTs and InAs/AlSb/GaSb resonant Interband Tunneling Diodes." *IEEE Trans. Electron Dev.* 48, 2001, 1282.

- ¹⁴¹ J Gould C, Slobodskyy A, Slobodskyy T, et al. "Magnetic resonant tunneling diodes as voltage-controlled spin selectors." *PHYSICA STATUS SOLIDI B* 241 (3): 700-703 MAR 2004.
- ¹⁴² Xu HZ, Zhang YF. "Spin-filter devices based on resonant tunneling antisymmetrical magnetic/semiconductor hybrid structures." *Appl. Phys. Lett.* 84 (11): 1955-1957 MAR 15 2004.
- ¹⁴³ Xia JB, Hai GQ, Wang JN. "Spin-polarized current produced by a double barrier resonant tunneling diode." *Solid State Commun.* 127 (7): 489-492 AUG 2003.
- ¹⁴⁴ J. L. Blakesley, P. See, A. J. Shields, B. E. Kardynal, P. Atkinson, I. Farrer, and D. A. Ritchie. "Efficient single photon detection by quantum dot resonant tunneling diodes." *Phys. Rev. Lett.* 94 (2005) 067401.
- ¹⁴⁵ Martin Gajek, Manuel Bibes, Stéphane Fusil, Karim Bouzehouane, Josep Fontcuberta, Agnès Barthélémy & Albert Fert. "Multiferroic Tunnel Junctions." *Nature of Materials*, 6, 296–302 (2007).
- ¹⁴⁶ J.F. Scott. "Multiferroic memories." *Nature of Materials*, VOL 6, APRIL 2007.
- ¹⁴⁷ Masakazu Yagi and Tadashi Shibata. "An Image Representation Algorithm Compatible With Neural-Associative-Processor-Based Hardware Recognition Systems." *IEEE Transactions On Neural Networks*, Vol. 14, No. 5, September 2003.
- ¹⁴⁸ Daisuke Kobayashi et al. "A Ferroelectric Associative Memory Technology Employing Heterogate FG MOS Structure." 2188 *IEEE Transactions On Electron Devices*, Vol. 52, No. 10, October 2005.
- ¹⁴⁹ Daisuke Kobayashi et al. "A Ferroelectric Associative Memory Technology Employing Heterogate FG MOS Structure." 2188 *IEEE Transactions On Electron Devices*, Vol. 52, No. 10, October 2005.
- ¹⁵⁰ Masao Hiramoto, Takahiro Ogawa and Miki Haseyama. "A Novel Image Recognition Method Based on Feature-Extraction Vector Scheme." 2004 International Conference on Image Processing (UP).
- ¹⁵¹ V. Balzani, A. Credi and M. Venturi. "Molecular devices and Machines." pp 247, Wiley-VCH Verlag GmbH and Co, Weinheim, 2003.
- ¹⁵² F. M. Raymo and S. Giordani, *J. Am. Chem. Soc.* 123, 4651, 2001.
- ¹⁵³ F. Pina, M.J. Melo, M. Maestri, P. Passaniti and V. Balzani, *J. Amer. Chem. Soc.* 122, 4496, 2000.
- ¹⁵⁴ Milan N Stojanovic and Darko Stefanovic, *Nature Biotechnology* 21, 1069 - 1074 (2003).
- ¹⁵⁵ Joseph Carmonan et al. "From molecular interactions to gates: a systematic approach." ICCAD '06, November 5-9, 2006, San Jose, CA.
- ¹⁵⁶ S. Salahuddin, S. Datta. "Interacting systems for self-correcting low power switching." *Applied Physics Letters* 90, 093503 (2007).
- ¹⁵⁷ E. H. FROST Smith. "The Theory of Magnetic Amplifiers and Some Recent Developments." *Electrical Engineering Research Laboratories Report*, University College, London, April 1948.
- ¹⁵⁸ Csaba, Lugli, Crusugy, Porod "Simulation of Power Gain and Dissipation in Field-Coupled Nanomagnets." *Journal of Computational Electronics* 4: 105–110, 2005.
- ¹⁵⁹ Nikonov DE, Bourianoff GI. "Spin gain transistor in ferromagnetic semiconductors - The semiconductor Bloch-equations approach." *IEEE Transactions On Nanotechnology* 4 (2): 206-214 Mar 2005.
- ¹⁶⁰ Jingjing Chen, Kang L. Wang, and Kosmas Galatsis. "Electrical field control magnetic phase transition in nanostructured Mn_xGe_{1-x} ." *Applied Physics Letters* 90, 012501, 2007.
- ¹⁶¹ Nikonov DE, Bourianoff GI. "Spin gain transistor in ferromagnetic semiconductors - The semiconductor Bloch-equations approach." *IEEE Transactions On Nanotechnology* 4 (2): 206-214 Mar 2005.
- ¹⁶² Mingqiang Bao, Jooyoung Lee, Alexander Khitun, and Kang L Wang. "3-D mapping of spin wave propagation in CoFe thin film." *Applied Physics Letters*.
- ¹⁶³ F. Q. Zhu, G.W. Chern, O. Tchernyshyov, X. C. Zhu, J. G. Zhu, and C. L. Chien. "Magnetic Bistability and Controllable Reversal of Asymmetric Ferromagnetic Nanorings." *PRL* 96, 027205 (2006).
- ¹⁶⁴ Love Kothari and Nicholas P. Carter. "Architecture of a Self-Checkpointing Microprocessor that Incorporates Nanomagnetic Devices." *IEEE Transactions On Computers*, Vol. 56, No. 2, February 2007.
- ¹⁶⁵ Slonczewski, J. C. "Current-driven excitation of magnetic multilayers." *J. Magn.Magn. Mater.* 159, L1--L7 (1996).
- ¹⁶⁶ S. M. Rezende, F. M. de Aguiar, M.A. Lucena, and A. Azevedo. "Magnon Excitation by Spin Injection in Thin Fe/Cr/Fe Films." *PRL*, Volume 84, Number 18, May 1, 2000.
- ¹⁶⁷ Kiselev, S. I. et al. "Microwave oscillations of a nanomagnet driven by a spin polarized current." *Nature* 425, 380–383 (2003).
- ¹⁶⁸ Kyung-Jin Lee, Alina Deac, Olivier Redon, Jean-Pierre Nozières, Bernard Dieny. "Excitations of incoherent spin-waves due to spin-transfer torque." *Nature of Materials*, VOL 3, December 2004.
- ¹⁶⁹ S.F. Kaka, M.R. Pufall, W.H. Rippard, T.J. Silva, and S.E. Russek. 2005. "Mutual Phase-Locking of Microwave Spin Torque Nano-Oscillators." *Nature*. Sept. 15, 2005.
- ¹⁷⁰ V. S. Pribiag, I. N. Krivorotov, G. D. Fuchs, P. M. Braganca, O. Ozatay, J. C. Sankey, D. C. Ralph And R. A. Buhrman. "Magnetic vortex oscillator driven by D.C. spin-polarized current." *Nature of physics*, 2007.

¹⁷¹ M. Hosomi, H. Yamagishi, T. Yamamoto, K. Bessho, Y. Higo, K. Yamane, H. Yamada, M. Shoji, H. Hachino, C. Fukumoto, H. Nagao, and H. Kano. "A Novel Nonvolatile Memory with Spin Torque Transfer Magnetization Switching: Spin-RAM." Proceedings of the IEDM, 2005.

¹⁷² G. D. Fuchs, a) N. C. Emley, I. N. Krivorotov, P. M. Braganca, E. M. Ryan, S. I. Kiselev, J. C. Sankey, D. C. Ralph, and R. A. Buhrman. "Spin-transfer effects in nanoscale magnetic tunnel junctions." Applied Physics Letters Volume 85, Number 7 16 August 2004.

ARCHITECTURES

¹⁷³ Vengal Sriram, et al. "An 80-Tile, 1.28 TFLOPS Network-on-Chip in 65 nm CMOS." ISSCC 2007, February.

¹⁷⁴ Dirk Helgemo. "Digital Signal Processing at 1 GHz in a Field-Programmable Object Array." 2003 MAPLD Conference (www.Mathstar.com).

¹⁷⁵ R. Bashirulla, et al. "Perspectives on Nano-Architectures." SRC working paper (2006). This analysis concluded that an on-chip architecture consisting of many of light-weight processors instead of one heavy-weight processor have reduced energy error constraints, and therefore can operate at lower voltage without sacrifices in reliability.

¹⁷⁶ V. V. Zhirnov, J. A. Hutchby, G. I. Bourianoff, J. E. Brewer. "Emerging research logic devices." IEEE Circuits & Devices 21 (3): 37-46 (2005).

¹⁷⁷ J. A. Hutchby, G. I. Bourianoff, V. V. Zhirnov, J. E. Brewer. "Emerging research memory and logic technologies - A critical review of the technologies based on a new relevance/evaluation criteria." IEEE Circuits & Devices 21 (3): 47-51 (2005).

¹⁷⁸ K. K. Likharev and D. B. Strukov. "CMOL: Devices, Circuits, and Architectures, Introduction to Molecular Electronics." Springer, Berlin, 2005, pp. 447-477.

¹⁷⁹ Greg Snider and Stan Williams. "Nano/CMOS Architectures Using Field-Programmable Interconnect." Nanotechnology 18, Jan. 24, 2007.

¹⁸⁰ Alex Krasnov, Andrew Schultz, John Wawrzynek, Greg Gibeling, Pieere-Yves Droz. "Ramp Blue: A Message Passing Manycore System in FPGAs." Proceedings of FPL 2007, International Conference on Field Programmable Logic and Applications, Amsterdam, Holland, August 2007 (<http://ramp.eecs.berkeley.edu/>).

¹⁸¹ Krste Asanovic et al. "The Landscape of Parallel Computing Research: A View from Berkeley." EECS UC Berkeley. Technical Report No. UCB/EECS-2006-183, December 18, 2006.

¹⁸² Rahul Sarpeshkar. "Going Beyond Moore's Law with Analog and Bio-Inspired Processing." Emerging Research Devices Workshop (Architectures), July 9, 2006, San Francisco, CA.

¹⁸³ Valerie Beiu. "A Novel, Highly Reliable, Low Power, Nano Architecture When Von Neumann Augments Komolgorov." Proceedings of the 15th International Conference on Application-Specific Systems, Architectures, and Processors (ASAP '04).

¹⁸⁴ R. Sarpeshkar and M. O'Halloran. "Scalable Hybrid Computation with Spikes." vol. 14, no. 9, pp. 2003-2024, Sept., 2002.

¹⁸⁵ Malcolm Young. "Brain Architectures: One Way to Get Off the Technology Plateau?." Emerging Research Devices Workshop (Architectures), July 9, 2006, San Francisco, CA.

¹⁸⁶ Malcolm Young. "Brain Architectures: One Way to Get Off the Technology Plateau?." Emerging Research Devices Workshop (Architectures), July 9, 2006, San Francisco, CA.

¹⁸⁷ Dan Hammerstrom. "Biologically Inspired Architectures." Information Technology, Wiley, 2007.

¹⁸⁸ Shibata T. "A Nano Functional-Device Based Architecture for Human Intelligence Systems." ITRS Emerging Research Devices e-Workshop (Architectures), March 22, 2007.

¹⁸⁹ Foldesy P, Zarandy A, Rekeczky C, et al. "Digital implementation of cellular sensor-computers." International Journal of Circuit Theory and Applications, 34 (4): 409-428 July-August 2006.

¹⁹⁰ Tamas Roska. "Cellular Morphic Computational Architectures for Sensing and Recognition – Visual Microprocessors – CNN Technology." Emerging Research Devices e-Workshop (Architectures), March 22, 2007.

¹⁹¹ V.V. Zhirnov, R.K. Cavin, J.A. Hutchby, G.I. Bourianoff. "Limits to Binary Logic Switch Scaling—A Gedankin Model." Proc. IEEE, November 2003, 1934–1939.